

PONTIFÍCIA UNIVERSIDADE CATÓLICA DO RIO GRANDE DO SUL

FACULDADE DE ENGENHARIA
DEPARTAMENTO DE ENGENHARIA ELÉTRICA

Professor Juliano D'Ornelas Benfica
Laboratório de Processadores I

Tutorial de uso Conversor A/D do MSP430F2xx:

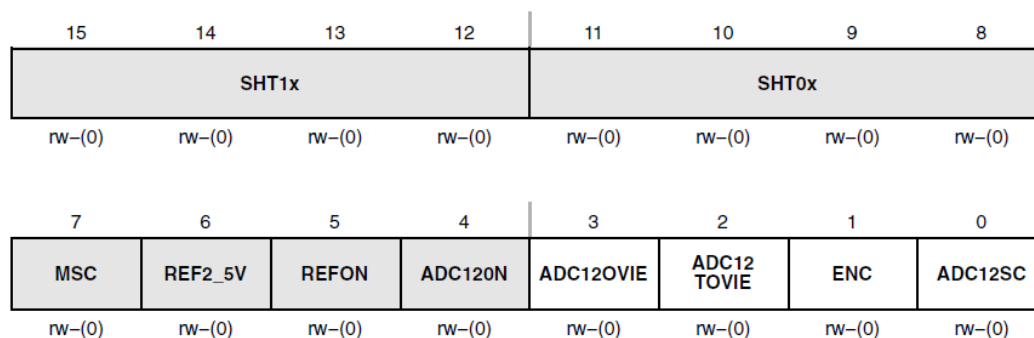
2011

1 Configuração da A/D

Para a utilização do A/D é necessário a configuração dos seguintes registradores:

- **ADC12CTL0, ADC12 Control Register 0:** Este registrador possui 16 bits para configuração conforme mostrado na figura abaixo:

ADC12CTL0, ADC12 Control Register 0



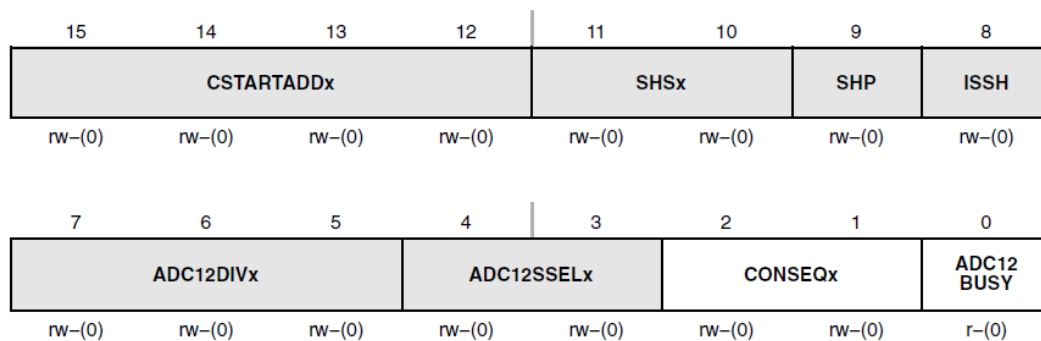
- **BIT15 - BIT12 - SHT1x** - Tempo de conversão e amostragem do A/D em números de ciclos de clock (ADC12CLK) do conversor.
- **BIT11 - BIT8 - SHT0x** - Tempo de conversão e amostragem do A/D em números de ciclos de clock (ADC12CLK) do conversor, e os valores possíveis para configuração são:

SHTx Bits	ADC12CLK cycles
0000	4
0001	8
0010	16
0011	32
0100	64
0101	96
0110	128
0111	192
1000	256
1001	384
1010	512
1011	768
1100	1024
1101	1024
1110	1024
1111	1024

- **BIT 7 - MSC** - Multiple sample and conversion.
 - * 0 - Modo normal.
 - * 1 - Modo múltiplas conversões.
- **BIT 6 - REF2_5V** - Referência Interna.
 - * 0 - 1.5V
 - * 1 - 2.5V
- **BIT 5 - REFON** - Habilitação da Referência Interna.
 - * 0 - off
 - * 1 - on
- **BIT 4 - ADC12ON** - Habilitação do A/D.
 - * 0 - off
 - * 1 - on
- **BIT 3 - ADC12OVIE** - Habilitação da interrupção por overflow.
 - * 0 - off
 - * 1 - on
- **BIT 2 - ADC12TOVIE** - Habilitação da interrupção por tempo de overflow.
 - * 0 - off
 - * 1 - on
- **BIT 1 - ENC**- Habilita Conversão:
 - * 0 - Desabilita.

- * 1 - Habilita.
- **BIT 0 - ADC12SC**- Inicia a conversão:
 - * 0 - Para.
 - * 1 - Inicia a Conversão.
- **ADC12CTL1, ADC12 Control Register 1**: Este registrador possui 16 bits para configuração conforme mostrado na figura abaixo:

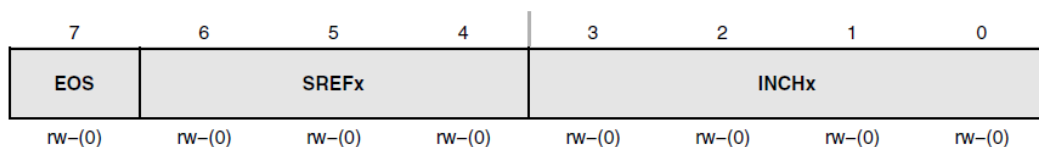
ADC12CTL1, ADC12 Control Register 1



- **BIT15 - BIT12 - CSTARTADDx** - Endereço de Início da Conversão. O valor do CSTARTADDx vai de 0 à 0x0F, correspondendo do ADC12MEM0 até ADC12MEM15.
- **BIT11 - BIT10 - SHSx** - Fonte do tempo de conversão e amostragem do A/D, e os valores possíveis para configuração são:
 - * 00 - ADC12SC bit.
 - * 01 - Timer_A.OUT1
 - * 10 - Timer_B.OUT0
 - * 11 - Timer_B.OUT1
- **BIT 9 - SHP** - Conversão e amostragem do A/D modo pulsado.
 - * 0 - Modo pelo pino do A/D.
 - * 1 - Modo pelo Timer.
- **BIT 8 - ISSH** - Sinal de amostragem invertido.
 - * 0 - O sinal de amostragem não é invertido.
 - * 1 - O sinal de amostragem é invertido..
- **BIT7 - BIT5 - SHSx** - Divisor de clock para o A/D, e os valores possíveis para configuração são:
 - * 000 - /1
 - * 001 - /2
 - * 010 - /3
 - * 011 - /4
 - * 100 - /5

- * 101 - /6
 - * 110 - /7
 - * 111 - /8
 - **BIT4 - BIT3 - ADC12SSELx** - Fonte de clock do A/D.
 - * 00 - ADC12OSC
 - * 01 - ACLK
 - * 10 - MCLK
 - * 11 - SMCLK
 - **BIT2 - BIT1 - CONSEQx** - Sequencia de conversão do A/D.
 - * 00 - Um canal
 - * 01 - Sequencia de canais
 - * 10 - Um canal repetido
 - * 11 - Sequencia de canais repetidos
 - **BIT 0 - ADC12BUSY** - Indicação de ocupado.
 - * 0 - não ocupado.
 - * 1 - ocupado.
- **ADC12MCTLx, ADC12 Conversion Memory Control Registers:** Este registrador possui 9 bits para configuração conforme mostrado na figura abaixo:

ADC12MCTLx, ADC12 Conversion Memory Control Registers



- **BIT 7 - EOS** - Indicação de Término da Conversão:
 - * 0 - Ainda não terminou a conversão.
 - * 1 - Conversão terminada.
- **BIT6 - BIT4 - SREFx** - Seleção da Referência:
 - * 000 - VR+ = AVCC e VR- = AVSS
 - * 001 - VR+ = VREF+ e VR- = AVSS
 - * 010 - VR+ = VeREF+ e VR- = AVSS
 - * 011 - VR+ = VeREF+ e VR- = AVSS
 - * 100 - VR+ = AVCC e VR- = VREF-/ VeREF-
 - * 101 - VR+ = VREF+ e VR- = VREF-/ VeREF-
 - * 110 - VR+ = VeREF+ e VR- = VREF-/ VeREF-
 - * 111 - VR+ = VeREF+ e VR- = VREF-/ VeREF-
- **BIT3 - BIT0 - INCHx** - Seleção do canal de Conversão:

- * 0000 - A0
- * 0001 - A1
- * 0010 - A2
- * 0011 - A3
- * 0100 - A4
- * 0101 - A5
- * 0110 - A6
- * 0111 - A7
- * 1000 - VeREF+
- * 1001 - VREF-/VeREF-
- * 1010 - Temperature diode
- * 1011 - $(AVCC - AVSS) / 2$
- * 1100 - GND
- * 1101 - GND
- * 1110 - GND
- * 1111 - GND

- **ADC12IFG, ADC12 Interrupt Flag Register:** Este registrador possui 16 bits para configuração onde:
 - ADC12IFGx = 0 - Nenhuma interrupção pendente.
 - ADC12IFGx = 1 - Interrupção pendente.

ADC12IFG, ADC12 Interrupt Flag Register

15	14	13	12	11	10	9	8
ADC12 IFG15	ADC12 IFG14	ADC12 IFG13	ADC12 IFG12	ADC12 IFG11	ADC12 IFG10	ADC12 IFG9	ADC12 IFG8
rw-(0)	rw-(0)	rw-(0)	rw-(0)	rw-(0)	rw-(0)	rw-(0)	rw-(0)

7	6	5	4	3	2	1	0
ADC12 IFG7	ADC12 IFG6	ADC12 IFG5	ADC12 IFG4	ADC12 IFG3	ADC12 IFG2	ADC12 IFG1	ADC12 IFG0
rw-(0)	rw-(0)	rw-(0)	rw-(0)	rw-(0)	rw-(0)	rw-(0)	rw-(0)

Exemplo de função de Configuração do conversor A/D

```
void init_ad(void)
{
    volatile unsigned int i;
    P6SEL |= 0x01;                                     // Enable A/D channel A0

    ADC12CTL0 = ADC12ON+SHT0_2; // Turn on and set up ADC12
    ADC12CTL1 = SHP;           // Use sampling timer
}
```

```

ADC12MCTL0 = SREF_0;                // Vr+=Vref+

for ( i=0; i<0x3600; i++);          // Delay for reference start-up

ADC12CTL0 |= ENC;                    // Enable conversions
}

```

Exemplo de função de Leitura do conversor A/D

```

int le_ad(void)
{
    ADC12CTL0 |= ADC12SC;             // Start conversion-software trigger
    while ((ADC12IFG & BIT0)==0);

    return ADC12MEM0;
}

```