

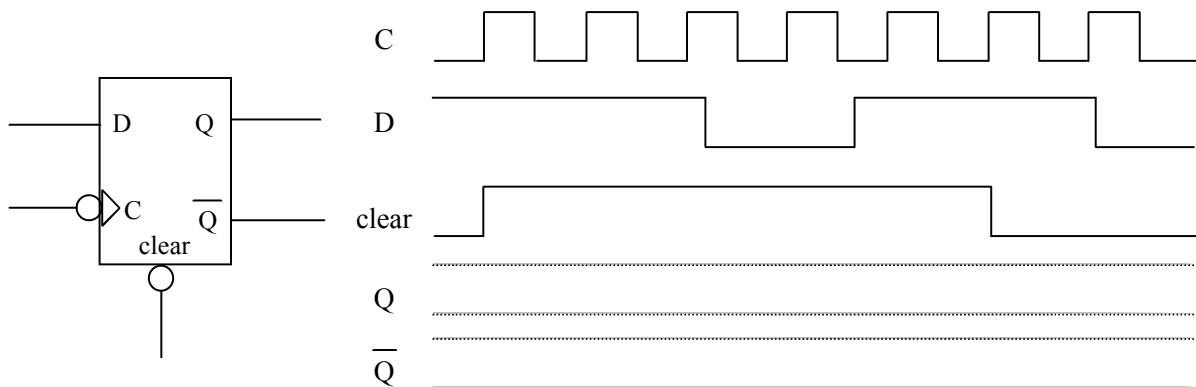


2ª Verificação (20/01/2005)

Nome: _____ matrícula: _____

Questão 1 (3 pontos)

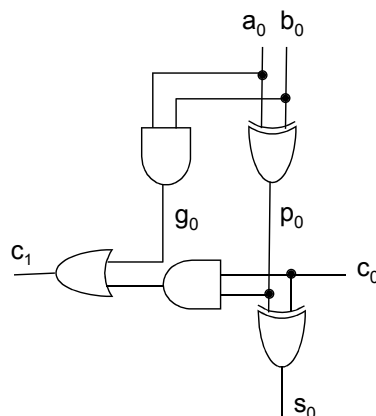
- Identifique **detalhadamente** o componente seqüencial abaixo. (0,5 ponto)
- Mostre sua tabela de transição e descreva seu funcionamento com palavras. (1 ponto)
- Desenhe a forma de onda das saídas Q e Q' a partir das entradas fornecidas. (1,5 ponto)



Questão 2 (3,5 pontos)

Deseja-se construir um somador (paralelo) de 4 bits do tipo *carry lookahead*.

- Sabendo-se que os somadores *carry lookahead* baseiam-se nas propriedades mostradas abaixo, derive as equações lógicas que descrevem os *carries* de um somador de 4 bits: c1, c2, c3 e c4. Explique a obtenção destas equações.



equações:

$$p_0 = a_0 \oplus b_0$$

$$g_0 = a_0 \cdot b_0$$

$$c_1 = g_0 + p_0 \cdot c_0$$

$$s_0 = p_0 \oplus c_0$$

- b) Sabendo que o somador projetado no item anterior terá a *entity* mostrada abaixo, use-o como componente para descrever em VHDL um somador de 32 bits do tipo *ripple carry*.

```

ENTITY somadorCLA4bits IS
PORT (cin : IN STD_LOGIC;
      a, b : IN STD_LOGIC_VECTOR (3 DOWNT0 0);
      s : OUT STD_LOGIC_VECTOR (3 DOWNT0 0);
      cout : OUT STD_LOGIC );
END somadorCLA4bits;

```

Questão 3 (3,5 pontos)

Seja o circuito seqüencial síncrono cujo comportamento é mostrado no diagrama de estados e na tabela de sinais de saída abaixo.

- Monte a tabela de transição de estados para este circuito. (1 ponto)
- Encontre as equações de estado simplificadas (sem mapeamento). (1,5 ponto)
- Este circuito corresponde ao modelo de Moore ou de Mealy? Justifique. Faça o diagrama de blocos do circuito final, mostrando a lógica de próximo estado, os flip-flops de estado, a lógica de saída e as conexões entre estes elementos. (1 ponto)

		saídas			
estado	código	Rsel	LR	LA	EQ
S0	00	0	1	1	0
S1	01	X	0	0	0
S2	10	1	1	0	1
S3	11	X	0	0	0

