



**Universidade Federal de Pelotas**  
**Instituto de Física e Matemática**  
**Departamento de Informática**  
**Bacharelado em Ciência da Computação**

# **Técnicas Digitais**

## **Aula 20**

**5. Circuitos Seqüenciais: Estrutura,  
funcionamento dinâmico e aplicações de  
latche SR, latch SR controlado e latch D**

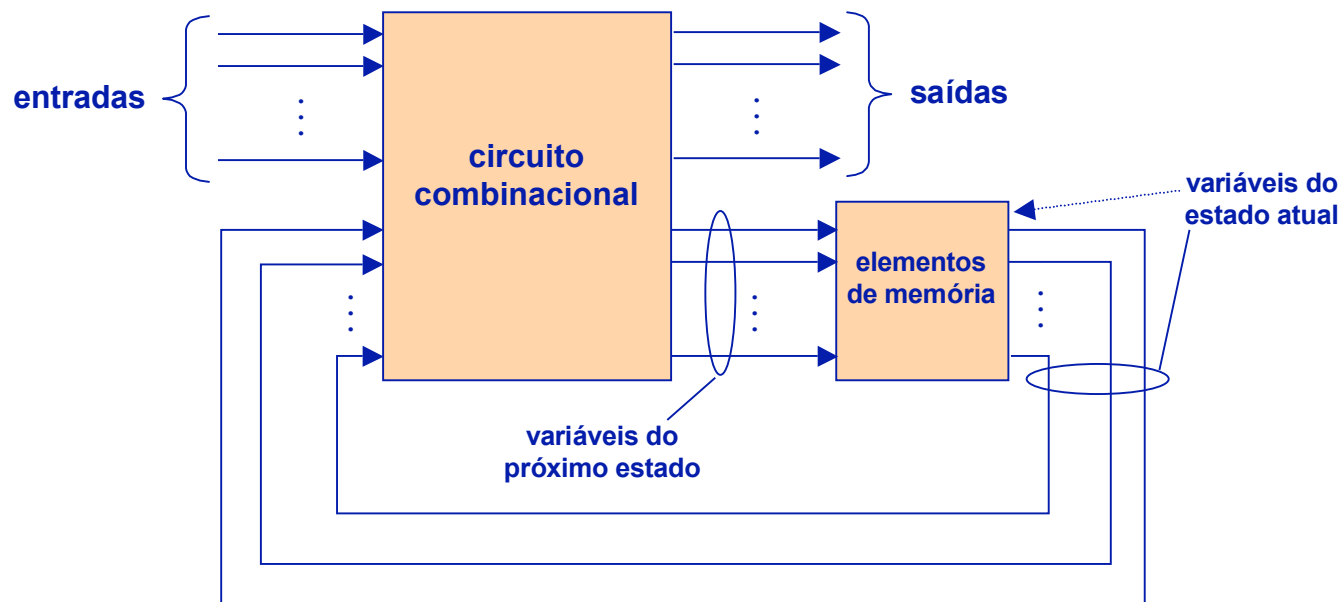
**Profs. José Luís Güntzel & Luciano Agostini**

**{guntzel,agostini}@ufpel.edu.br**

**[www.ufpel.edu.br/~guntzel/TD/TD.html](http://www.ufpel.edu.br/~guntzel/TD/TD.html)**

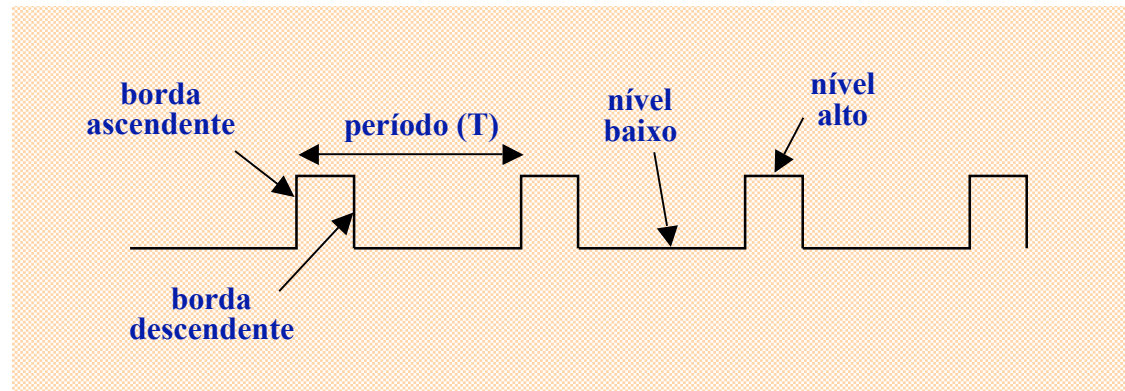
# 5. Circuitos Seqüenciais

## Diagrama de blocos genérico



# 5. Circuitos Seqüenciais

## Sinal de Relógio (*clock*): Circuitos Seqüenciais Síncronos



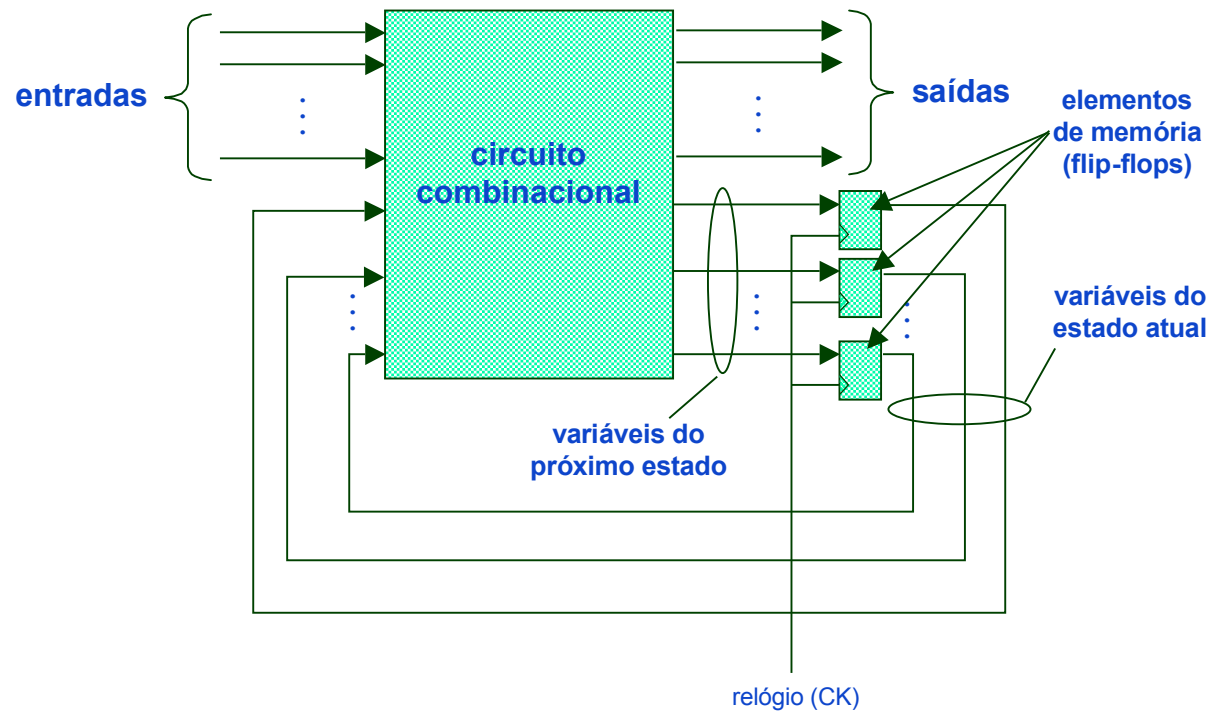
### Exemplo 4.1

Um circuito síncrono é cadenciado por um relógio de 200 MHz.  
Qual é o maior atraso para qualquer bloco que o compõem?

$$T = \frac{1}{200 \times 10^6 \text{ Hz}} = 0,005 \times 10^{-6} \text{ s} = 5 \times 10^{-9} \text{ s} = 5 \text{ ns}$$

# 5. Circuitos Seqüenciais

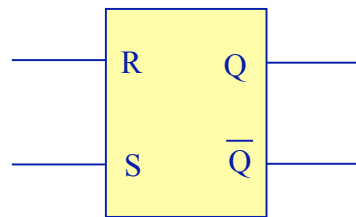
## Diagrama de blocos para Circuitos Seqüenciais Síncronos



# 5. Circuitos Seqüenciais

## O Latch RS

símbolo



circuito com portas nor

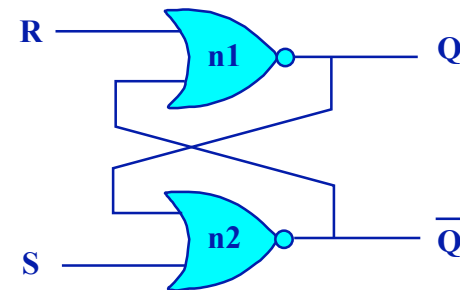


tabela de transição de estados

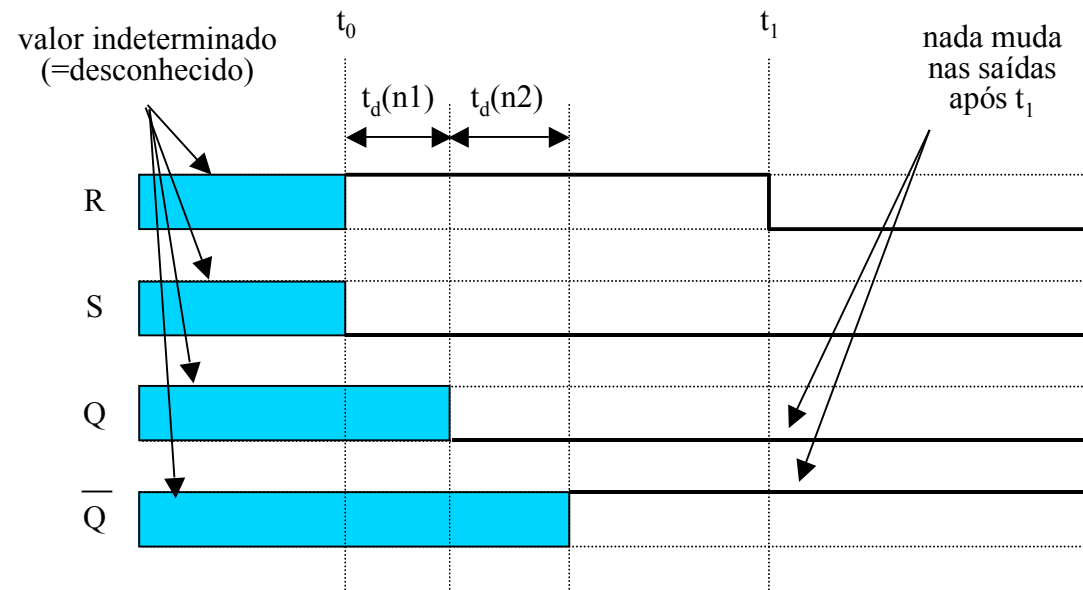
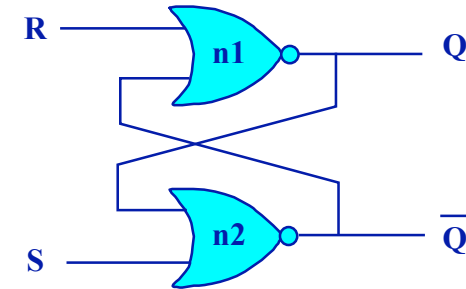
R	S	$Q_{t+1}$	comentário
0	0	$Q_t$	mantém estado anterior
0	1	1	estado set
1	0	0	estado reset
1	1	-	proibido

# 5. Circuitos Seqüenciais

## O Latch RS: análise dinâmica (1)

Supondo que:

1. em  $t=t_0$  se faça  $R=1$  e  $S=0$
2. e em  $t=t_1$  se faça  $R=0$  e  $S=0$

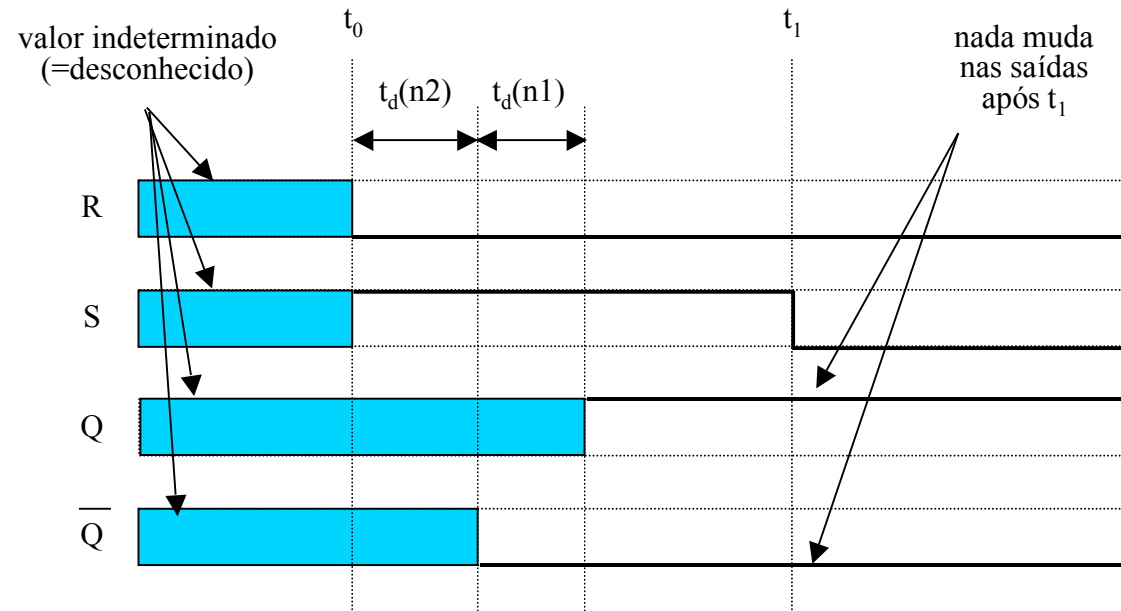
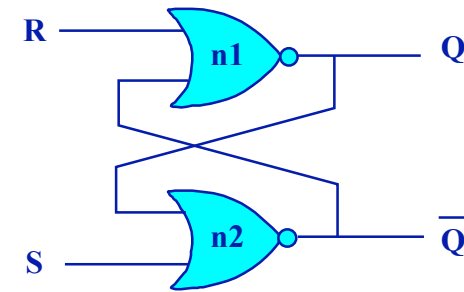


# 5. Circuitos Seqüenciais

## O Latch RS: análise dinâmica (2)

Supondo que:

1. em  $t=t_0$  se faça  $R=0$  e  $S=1$
2. e em  $t=t_1$  se faça  $R=0$  e  $S=0$



# 5. Circuitos Seqüenciais

## O Latch RS: resumo do funcionamento

R	S	Q	Q'	ação
1	0	0	1	vai para o estado reset
0	0	0	1	mantém o estado reset (= mantém estado anterior)
0	1	1	0	vai para o estado set
0	0	1	0	mantém o estado set (= mantém estado anterior)
1	1	0	0	estado proibido

**tabela de transição  
de estados**

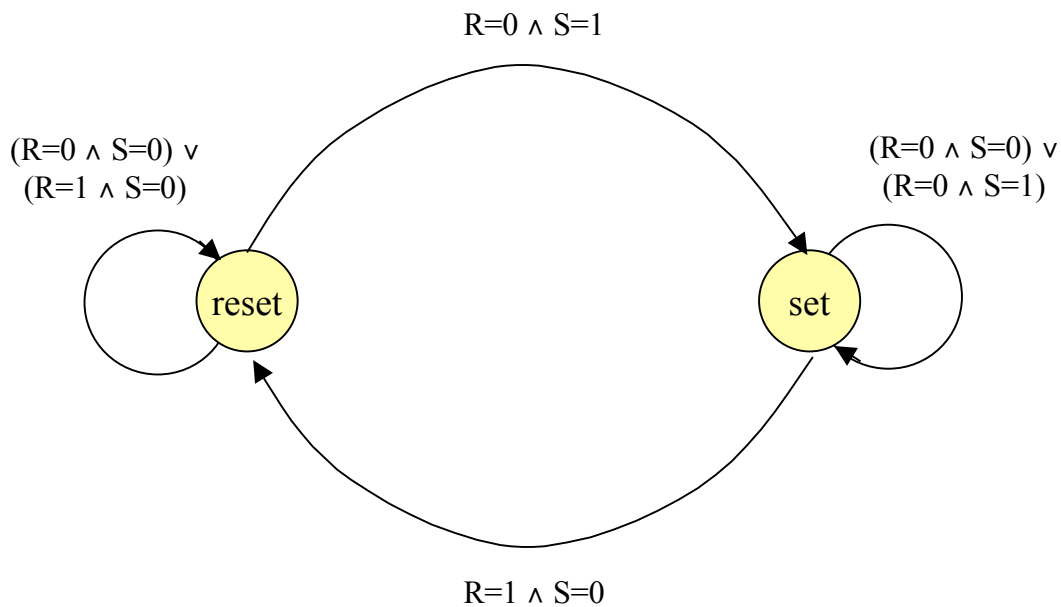
R	S	$Q_{t+1}$	comentário
0	0	$Q_t$	mantém estado anterior
0	1	1	estado set
1	0	0	estado reset
1	1	-	proibido



# 5. Circuitos Seqüenciais

## O Latch RS: resumo do funcionamento

### Diagrama de estados

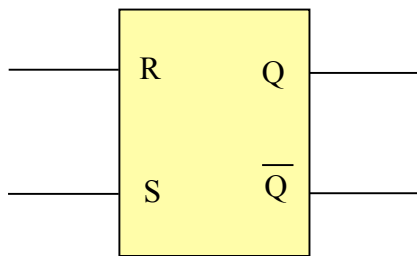


### tabela de transição de estados

R	S	$Q_{t+1}$
0	0	$Q_t$
0	1	1
1	0	0
1	1	-

# 5. Circuitos Seqüenciais

## O Latch RS:



R	S	$Q_{t+1}$
0	0	$Q_t$
0	1	1
1	0	0
1	1	-

### Exemplo 4.2

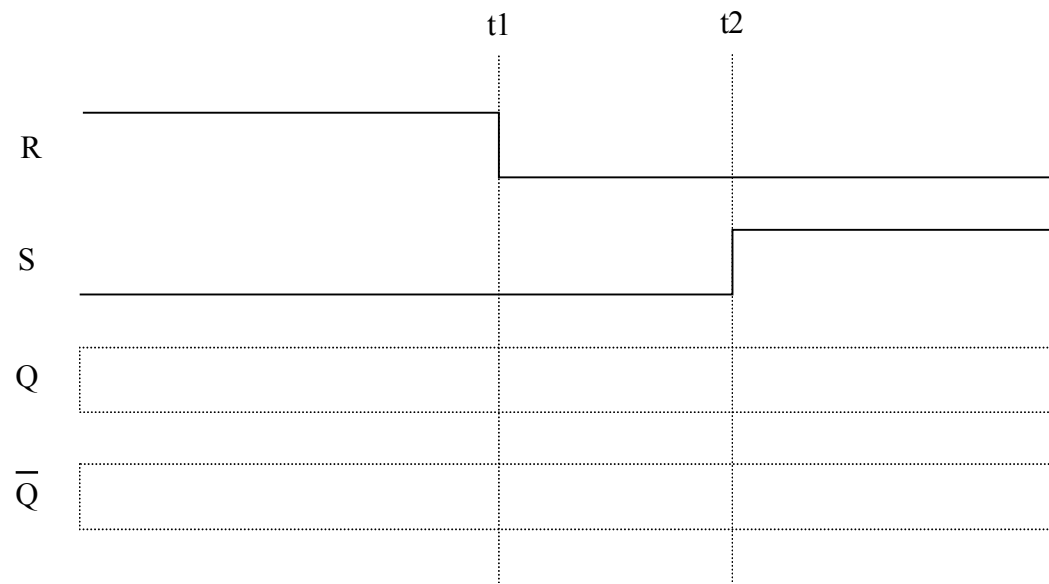


tabela de transição  
de estados

# 5. Circuitos Seqüenciais

## O Latch RS Controlado

símbolo

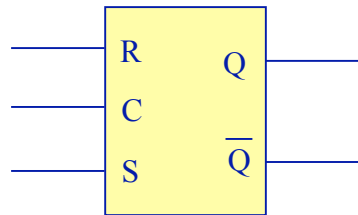
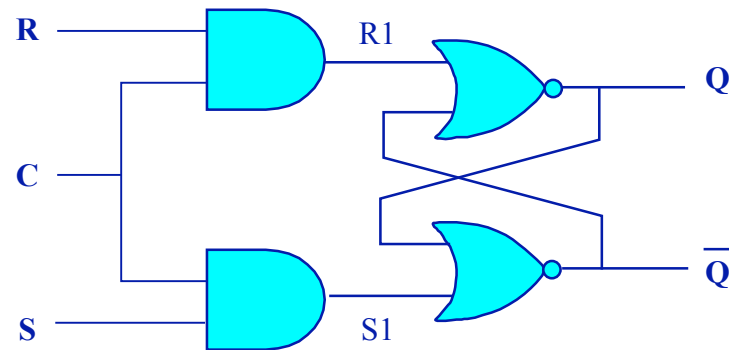


tabela de transição  
de estados

circuito com portas nor e and



C	R	S	$Q_{t+1}$	comentário
0	X	X	$Q_t$	mantém estado anterior
1	0	0	$Q_t$	mantém estado anterior
1	0	1	1	estado set
1	1	0	0	estado reset
1	1	1	-	proibido

# 5. Circuitos Seqüenciais

## O Latch RS Controlado: resumo do funcionamento

### Diagrama de estados

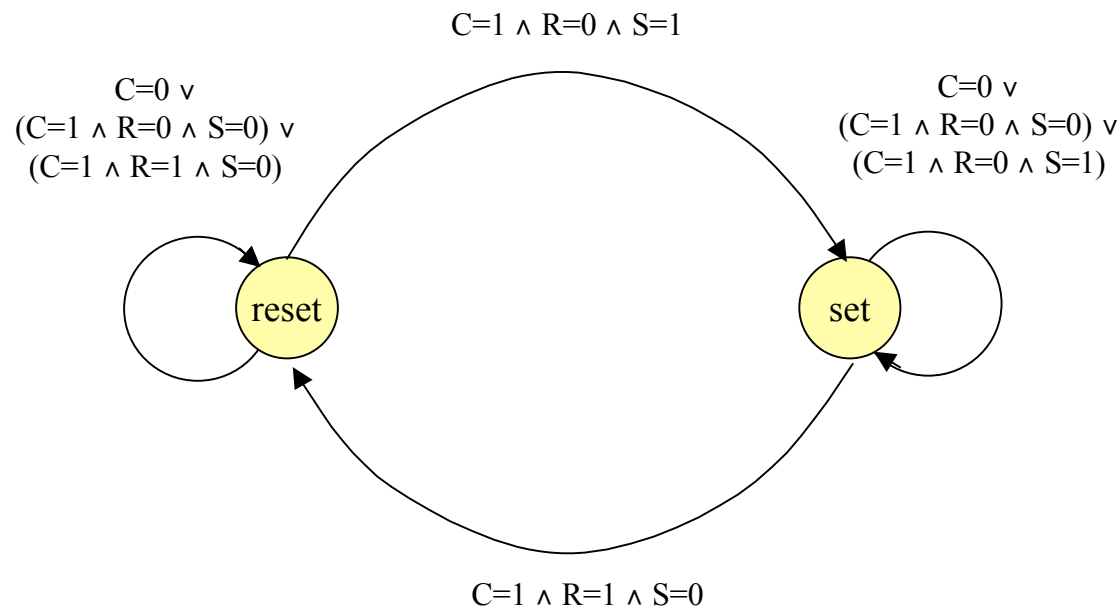


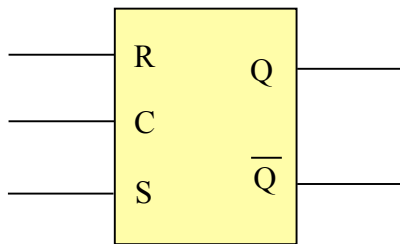
tabela de transição de estados

C	R	S	$Q_{t+1}$
0	X	X	$Q_t$
1	0	0	$Q_t$
1	0	1	1
1	1	0	0
1	1	1	-

# 5. Circuitos Seqüenciais

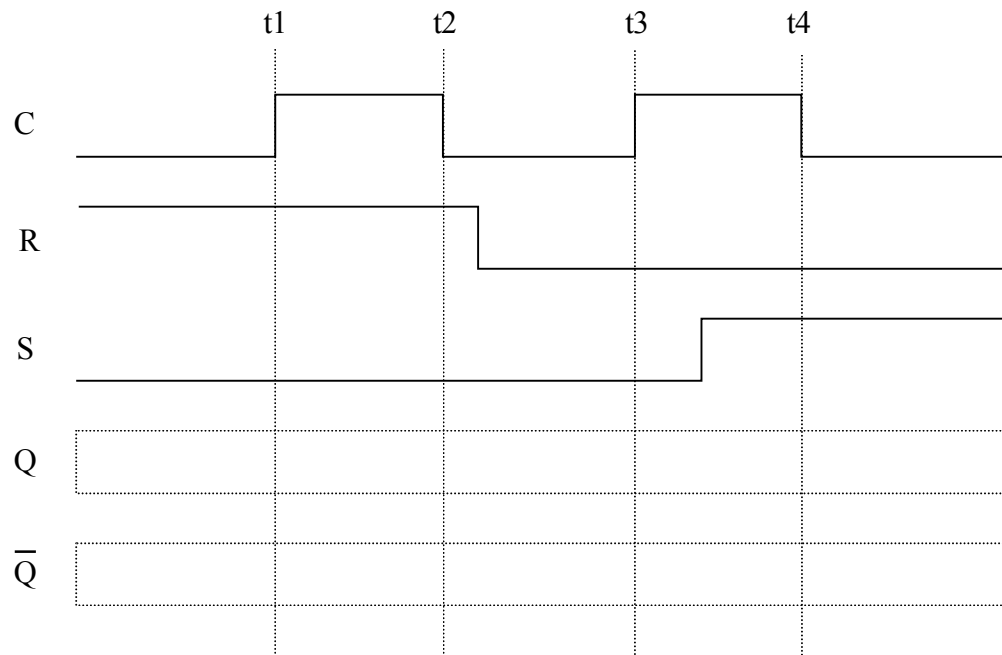
## O Latch RS Controlado

### Exemplo 4.3



C	R	S	$Q_{t+1}$
0	X	X	$Q_t$
1	0	0	$Q_t$
1	0	1	1
1	1	0	0
1	1	1	-

tabela de transição  
de estados



# 5. Circuitos Seqüenciais

## O Latch D

símbolo

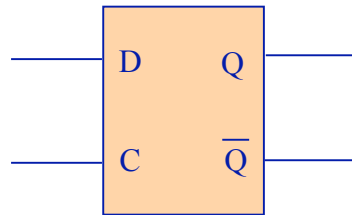
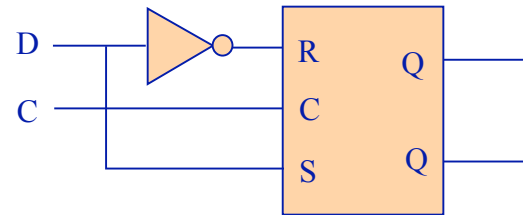


tabela de transição  
de estados

circuito a partir do latch RS controlado

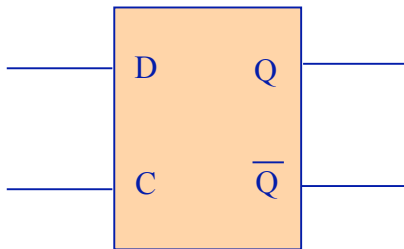


C	D	$Q_{t+1}$	comentário
0	X	$Q_t$	mantém estado anterior
1	0	0	estado reset
1	1	1	estado set

# 5. Circuitos Seqüenciais

## O Latch D

### Exemplo 4.4



C	D	$Q_{t+1}$
0	X	$Q_t$
1	0	0
1	1	1

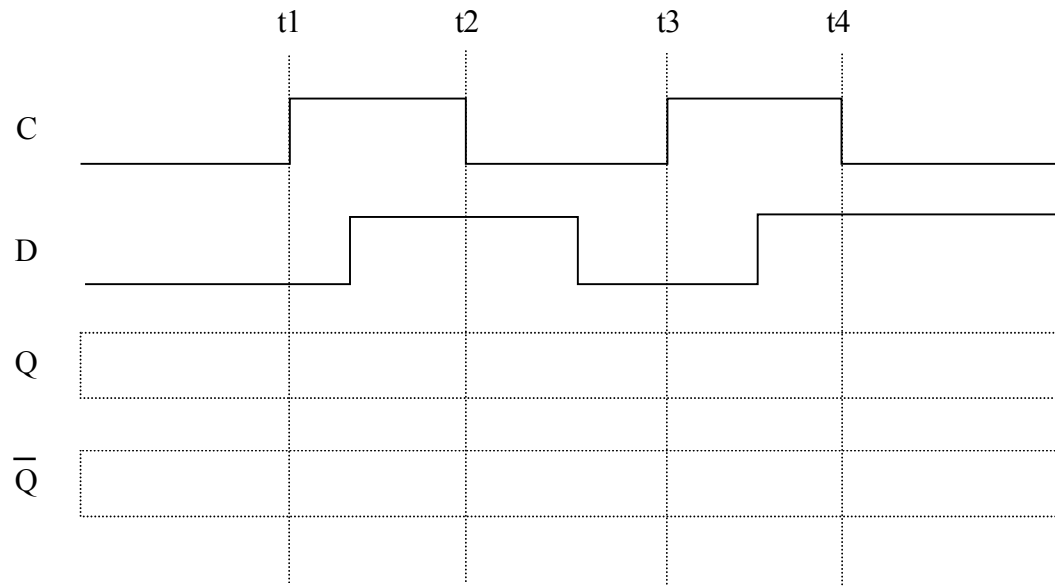
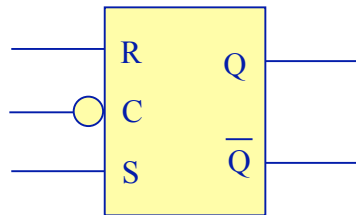


tabela de transição  
de estados

# 5. Circuitos Seqüenciais

## Latches com ativação em lógica complementar

### Latch RS

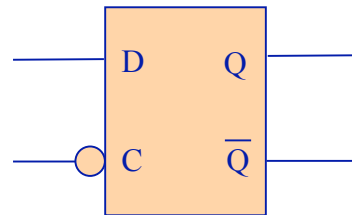


símbolo

C	R	S	$Q_{t+1}$
1	X	X	$Q_t$
0	0	0	$Q_t$
0	0	1	1
0	1	0	0
0	1	1	-

tabela de transição de estados

### Latch D



símbolo

C	D	$Q_{t+1}$
1	X	$Q_t$
0	0	0
0	1	1

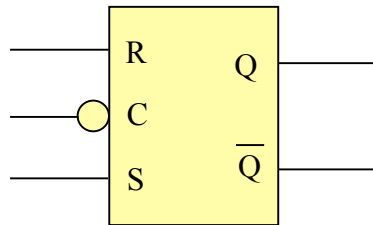
tabela de transição de estados



# 5. Circuitos Seqüenciais

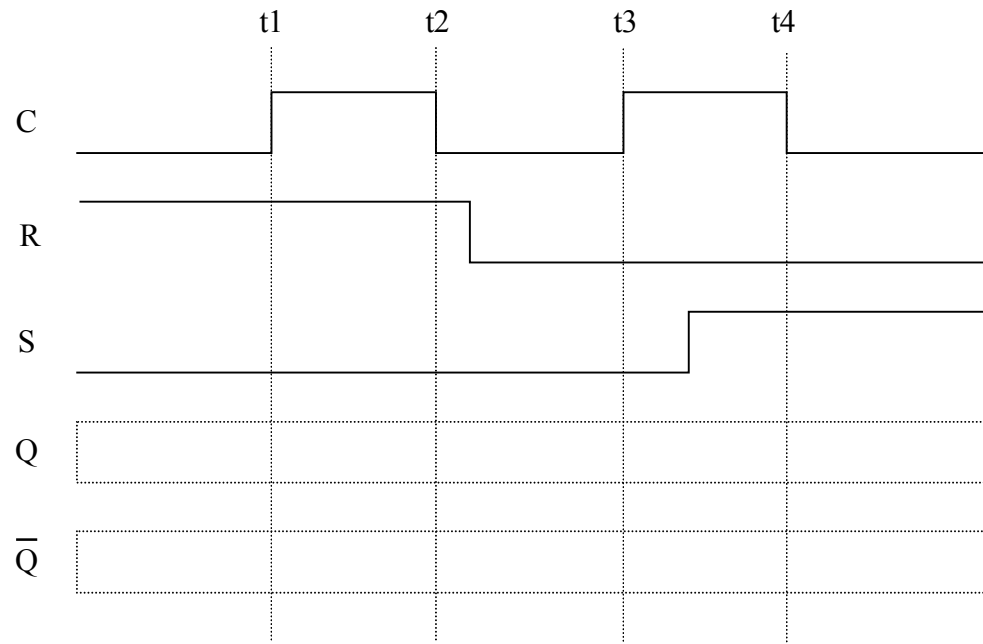
## Latches com ativação em lógica complementar

### Exemplo 4.5



C	R	S	$Q_{t+1}$
1	X	X	$Q_t$
0	0	0	$Q_t$
0	0	1	1
0	1	0	0
0	1	1	-

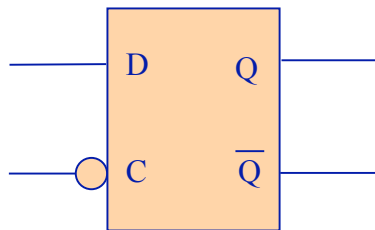
tabela de transição  
de estados



# 5. Circuitos Seqüenciais

## Latches com ativação em lógica complementar

### Exemplo 4.6



C	D	$Q_{t+1}$
1	X	$Q_t$
0	0	0
0	1	1

tabela de transição  
de estados

