



Universidade Federal de Pelotas

Instituto de Física e Matemática

Departamento de Informática

Bacharelado em Ciência da Computação

Técnicas Digitais

Aula 17

**3. Implementação de circuitos digitais:
componentes programáveis (configuráveis)
pelo projetista (ROM, PLA, PAL, CPLD, FPGA)**

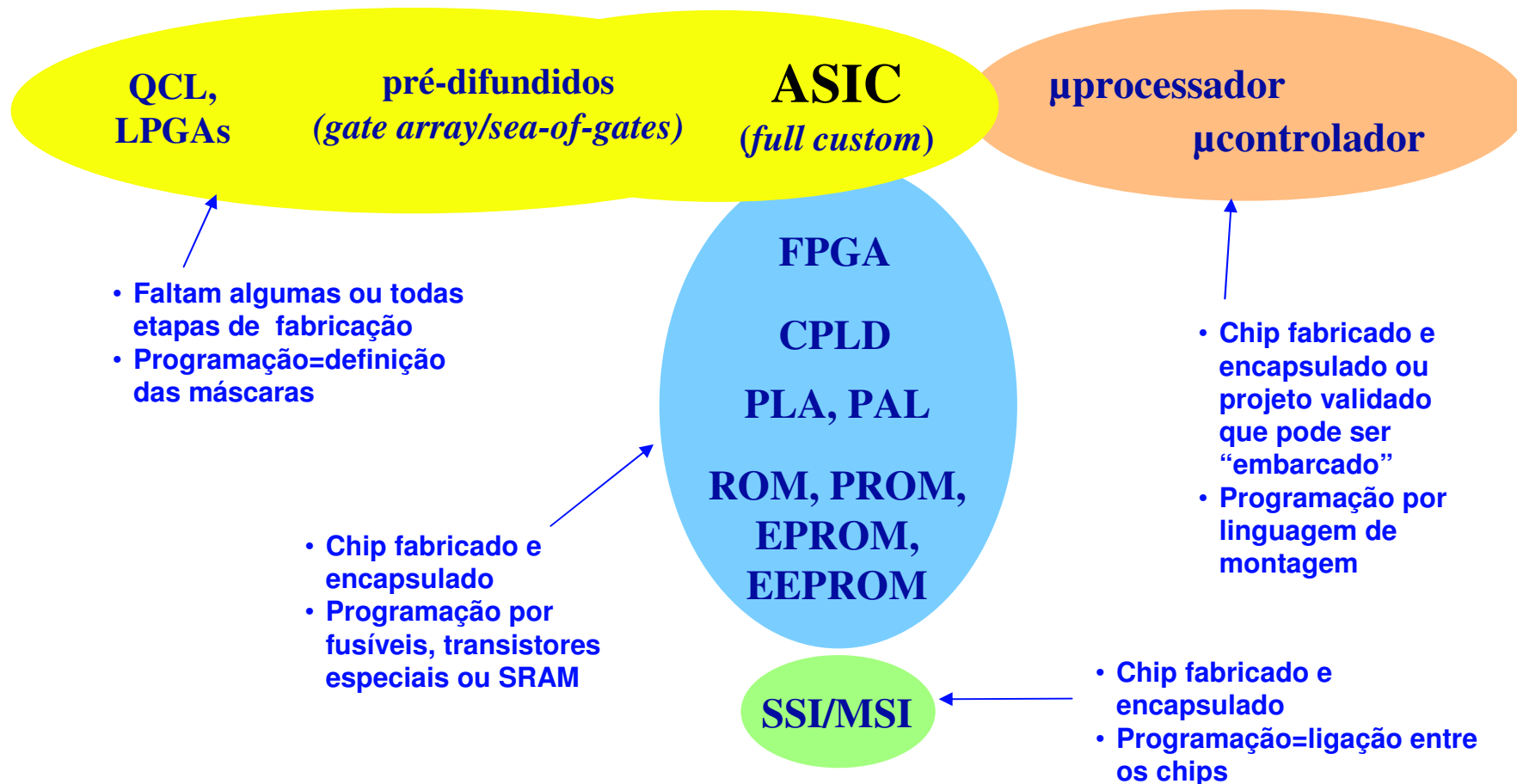
Prof. José Luís Güntzel

{guntzel,agostini}@ufpel.edu.br

www.ufpel.edu.br/~guntzel/TD/TD.html

Componentes Configuráveis pelo Projetista

► Como implementar um sistema digital?



Componentes Configuráveis pelo Projetista

► Como implementar um sistema digital?

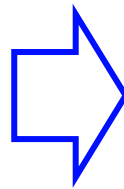
QCL,
LPGAs

pré-difundidos
(*gate array/sea-of-gates*)

ASIC
(*full custom*)

μprocessador
μcontrolador

Componentes
(ou dispositivos)
programáveis

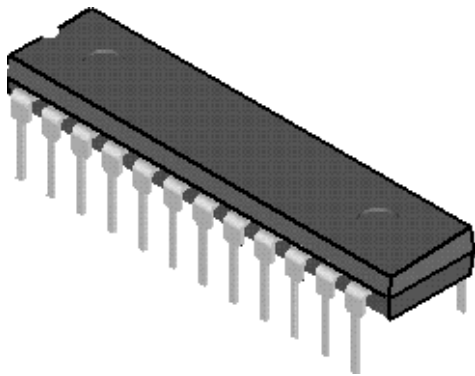


SSI/MSI

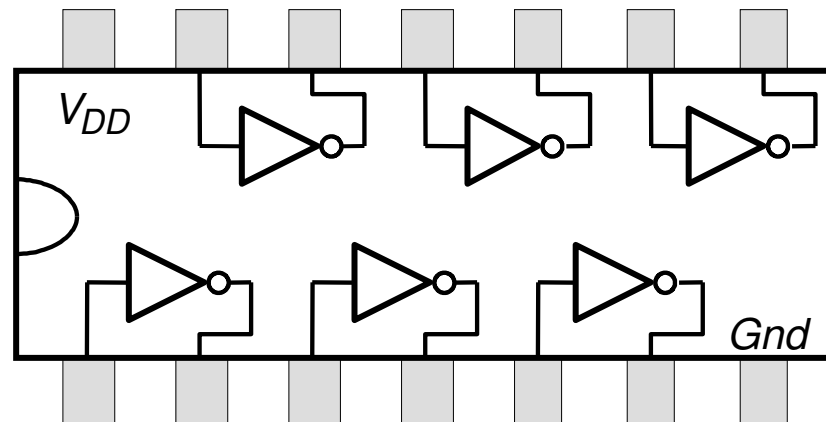
Componentes Configuráveis pelo Projetista

▶ Como implementar um sistema digital?

1960-1970: circuitos integrados TTL SSI e MSI da Texas Inst.



DIP: dual-inline package



Estrutura do CI 7404 da família TTL
(Texas Instruments)

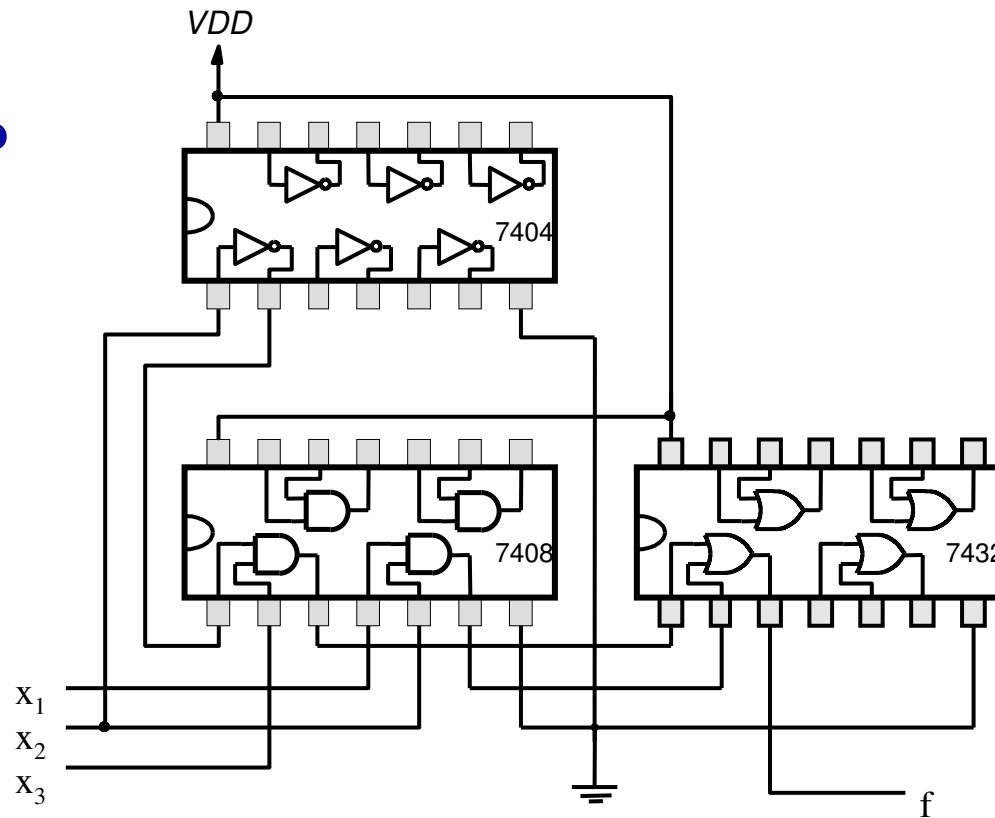
Diversos fabricantes surgiram: National, AMD, Cypress

Componentes Configuráveis pelo Projetista

► Como implementar um sistema digital?

Problema: baixa capacidade de integração

$$f = x_1x_2 + \overline{x_2}x_3$$



Componentes Configuráveis pelo Projetista

► Como implementar um sistema digital?

Sejam as funções F1 e F2:

A	B	C	F1	F2
0	0	0	0	0
0	0	1	1	1
0	1	0	0	0
0	1	1	0	0
1	0	0	0	0
1	0	1	0	1
1	1	0	1	1
1	1	1	1	1

$$F1 = \sum(1,6,7)$$

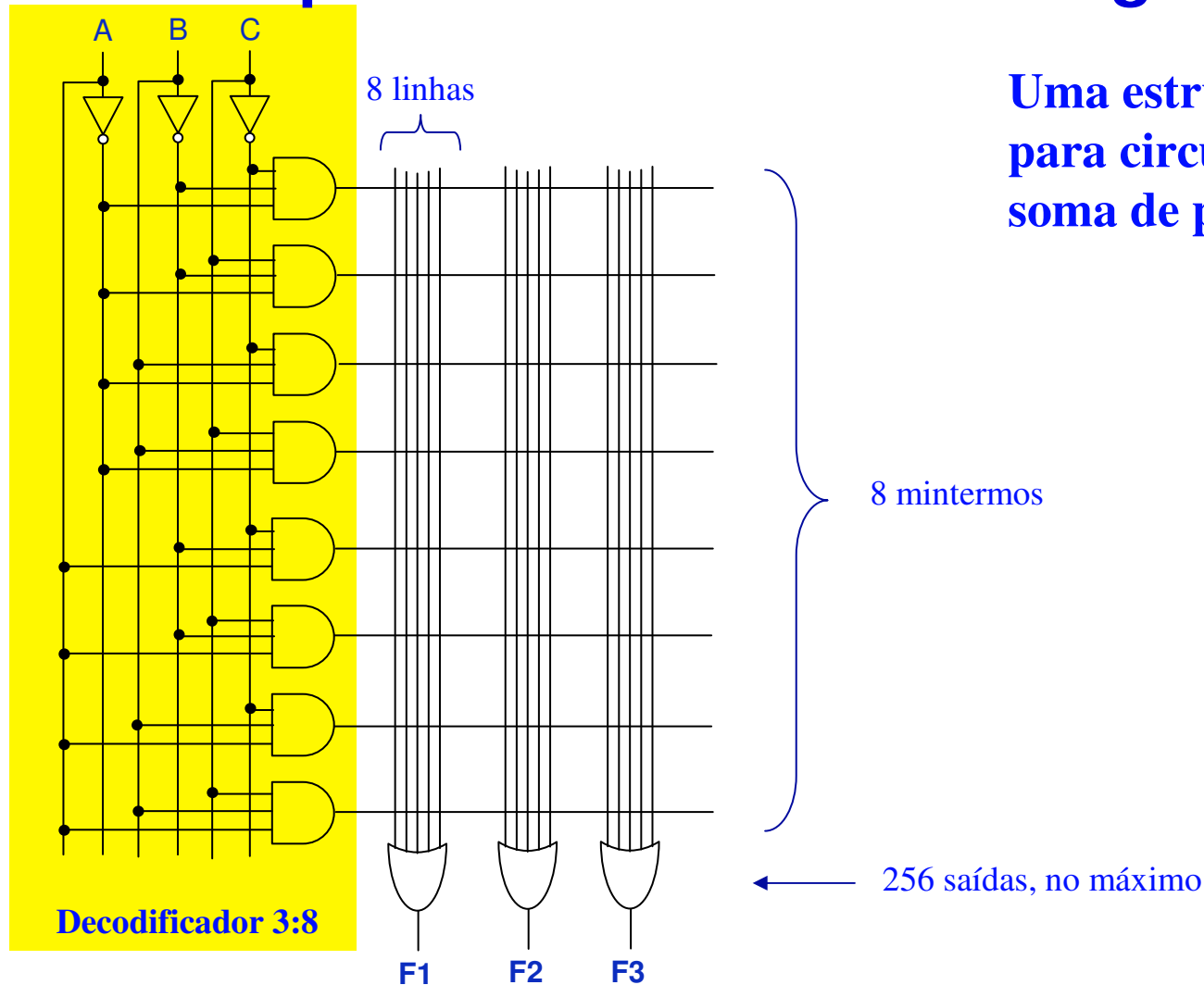
$$F1 = \bar{A}\bar{B}C + A\bar{B}\bar{C} + ABC$$

$$F2 = \sum(1,5,6,7)$$

$$F2 = \bar{A}\bar{B}C + \bar{A}BC + A\bar{B}\bar{C} + ABC$$

Componentes Configuráveis pelo Projetista

► Como implementar um sistema digital?



Uma estrutura padrão para circuitos em soma de produtos

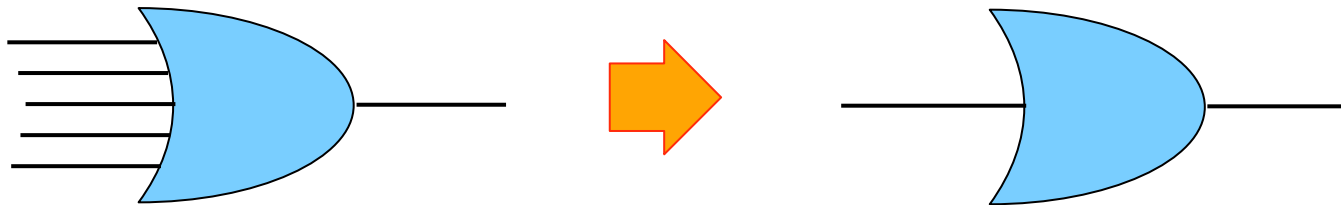
8 mintermos

256 saídas, no máximo

Componentes Configuráveis pelo Projetista

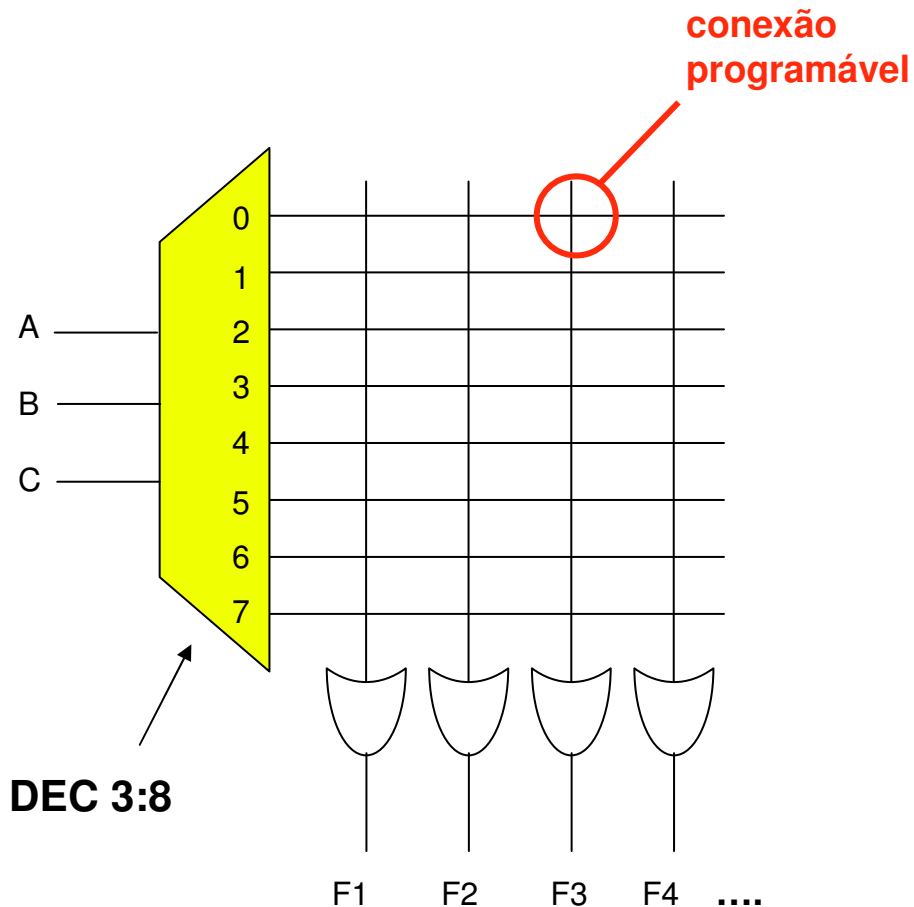
▶ Como implementar um sistema digital?

Convenção:



Componentes Configuráveis pelo Projetista

► Como implementar um sistema digital?

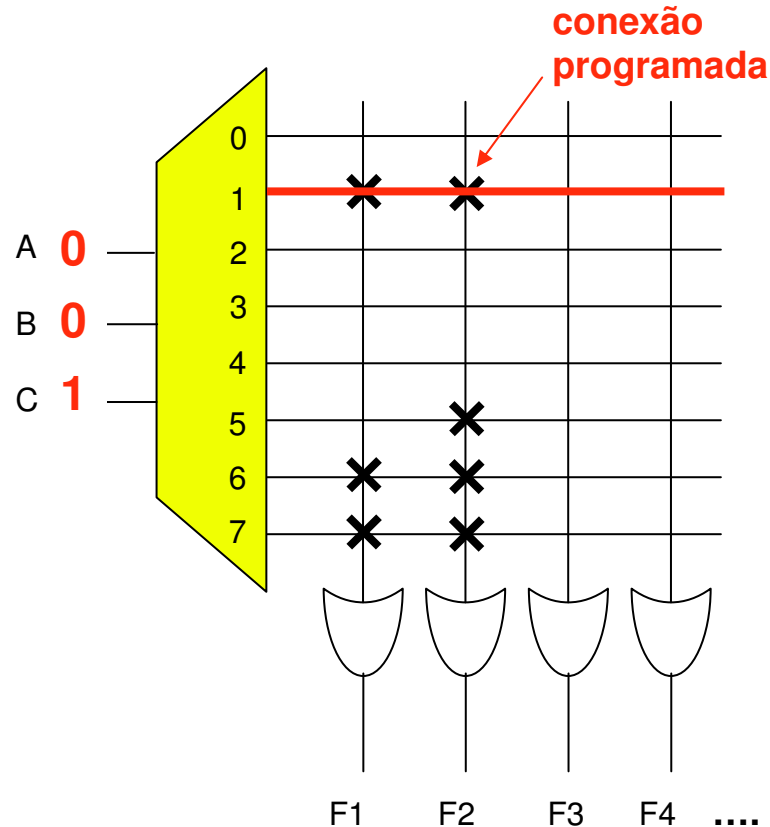


Supondo 8x4:

- É possível implementar até 4 funções de 3 variáveis de entrada

Componentes Configuráveis pelo Projetista

► Como implementar um sistema digital?

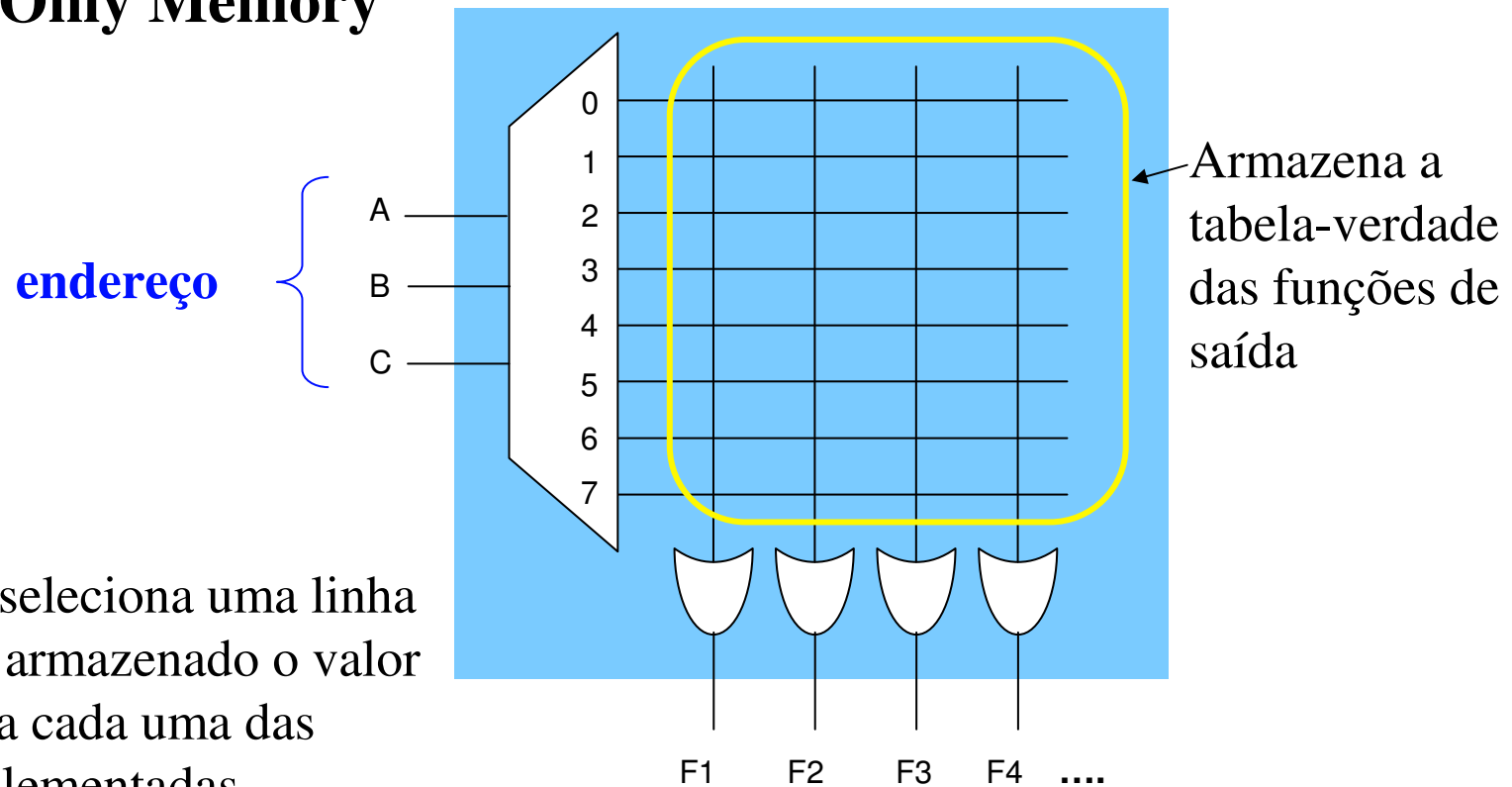


A	B	C	F1	F2
0	0	0	0	0
0	0	1	1	1
0	1	0	0	0
0	1	1	0	0
1	0	0	0	0
1	0	1	0	1
1	1	0	1	1
1	1	1	1	1

Componentes Configuráveis pelo Projetista

► Como implementar um sistema digital?

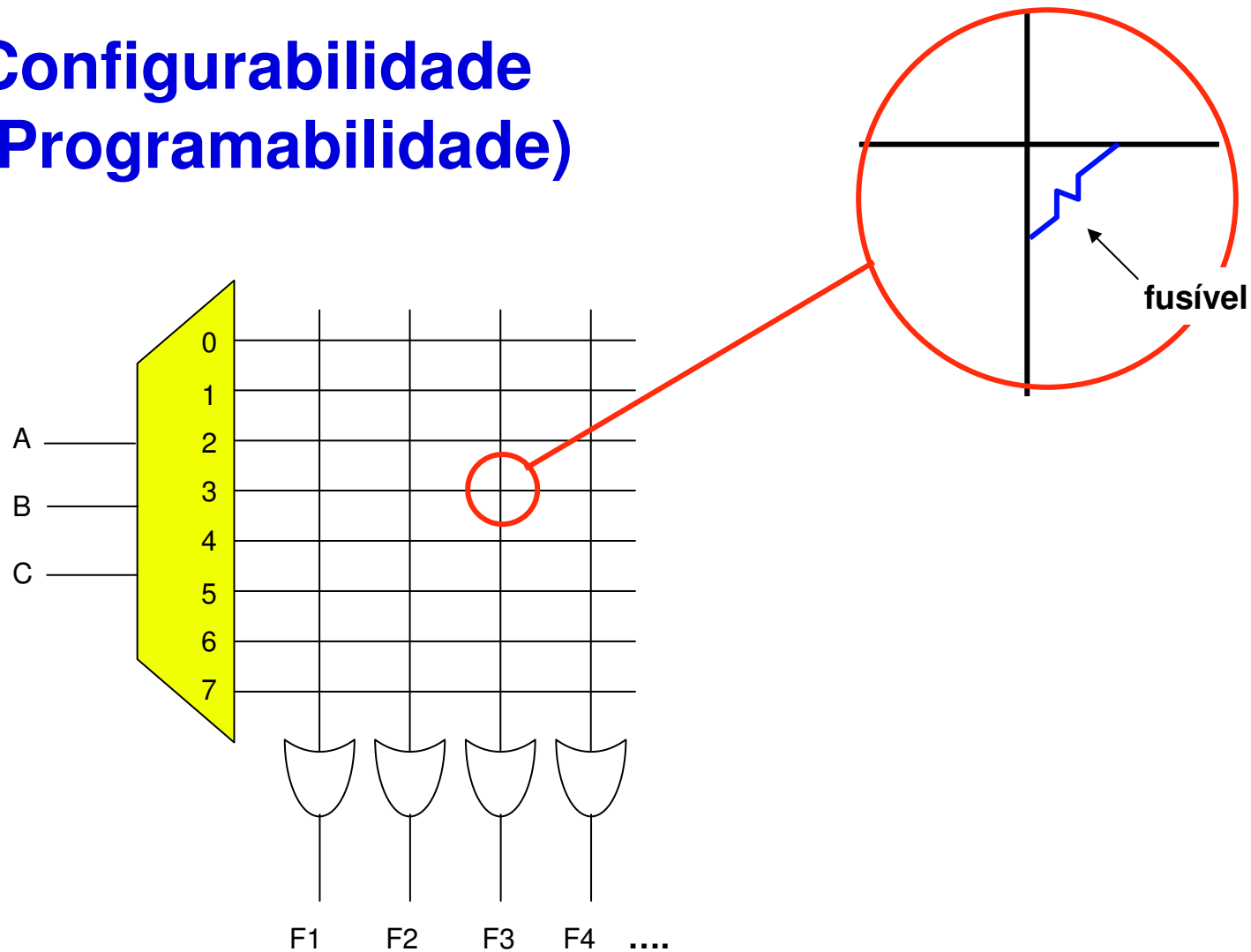
Este tipo de componente existe e se chama **ROM**:
Read-Only Memory



O endereço seleciona uma linha na qual está armazenado o valor de saída para cada uma das funções implementadas

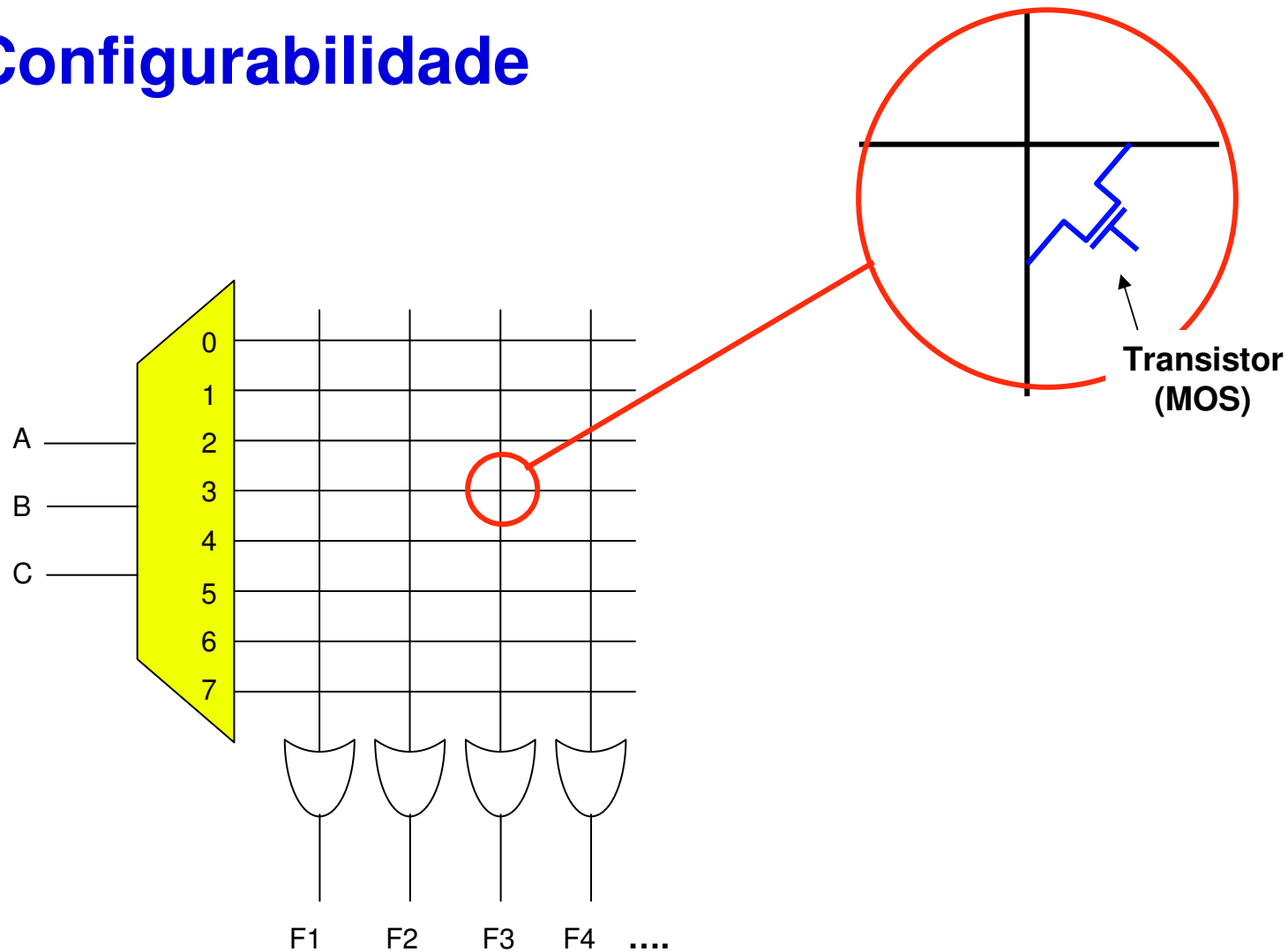
Componentes Configuráveis pelo Projetista

► Configurabilidade (Programabilidade)



Componentes Configuráveis pelo Projetista

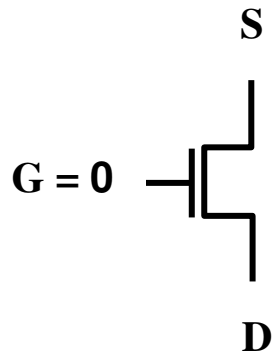
► Configurabilidade



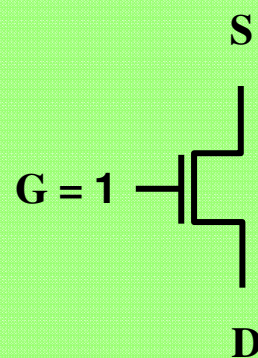
Componentes Configuráveis pelo Projetista

► Configurabilidade

Funcionamento Simplificado do transistor NMOS:
“uma chave eletrônica”



chave aberta
(sem corrente elétrica)
 $D \neq S$



chave fechada
com corrente elétrica até que
 $D = S$

Componentes Configuráveis pelo Projetista

► Configurabilidade

Possibilidades Tecnológicas:

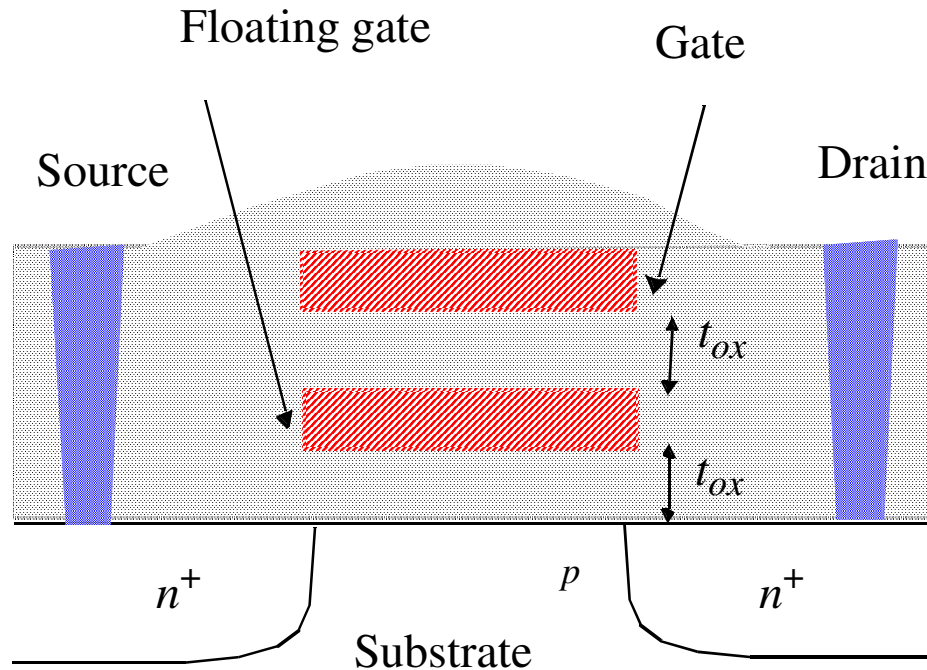
- **Transistor MOS fixo ou diodo (máscaras)**
- **Fusível (PROM)**
- **Transistor MOS com gate flutuante - “FAMOS” (EPROM)**
- **Transistor MOS “FLOTOX” (EEPROM)**
- **Transistor MOS “ETOX” (FLASH)**
- **Armazenamento da programação em bits SRAM**

componentes
programáveis
e FPGAs

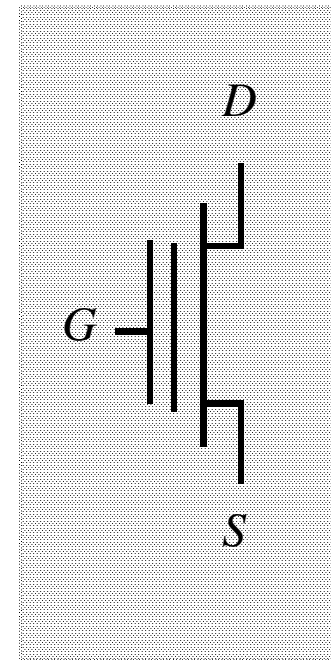
Componentes Configuráveis pelo Projetista

► Configurabilidade

FAMOS



(a) Device cross-section

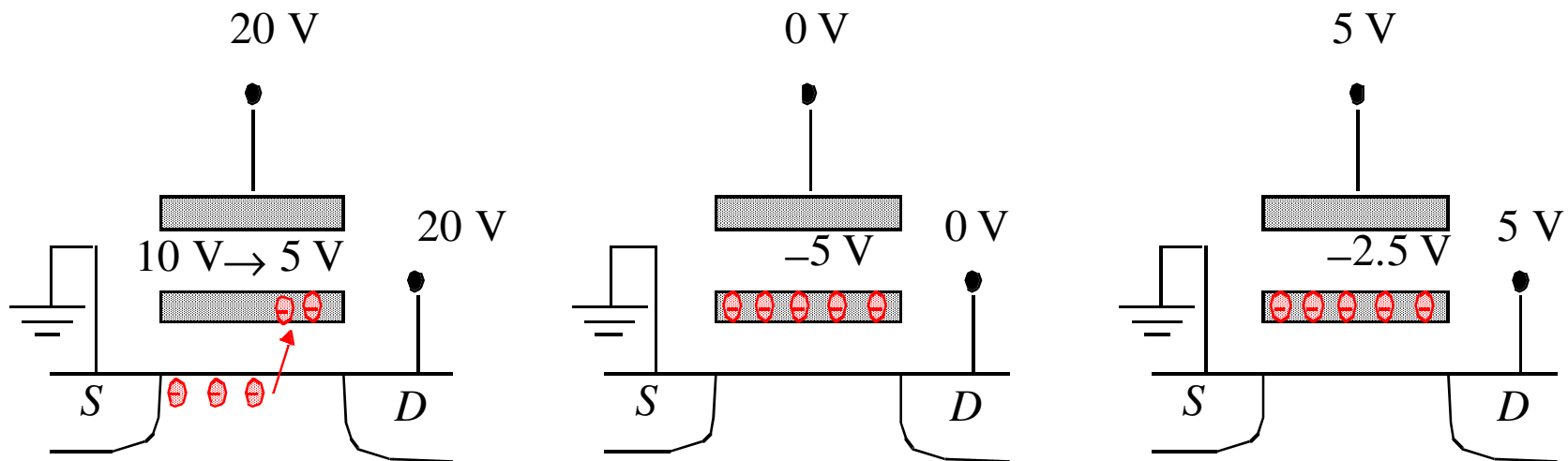


(b) Schematic symbol

Componentes Configuráveis pelo Projetista

► Configurabilidade

FAMOS



Avalanche injection.

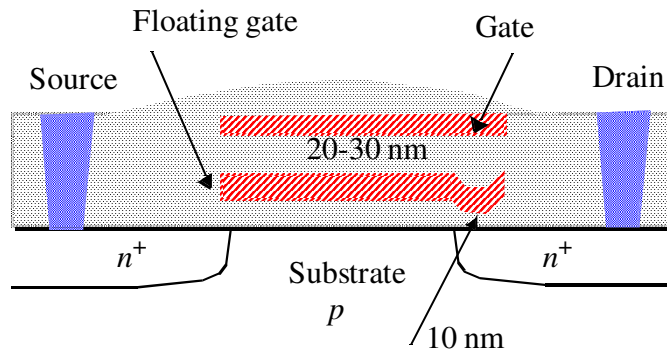
**Removing programming voltage
leaves charge trapped.**

**Programming results in
higher V_T .**

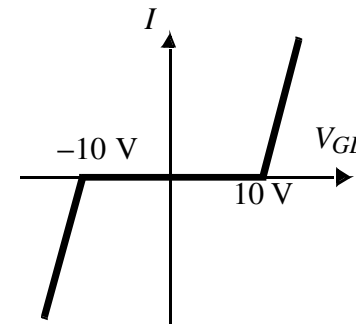
Componentes Configuráveis pelo Projetista

► Configurabilidade

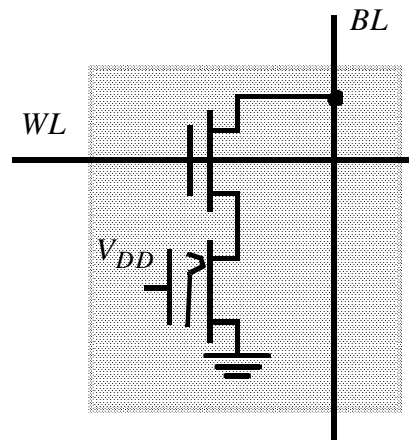
FLOTOX



(a) Flotox transistor



(b) Fowler-Nordheim I - V characteristic

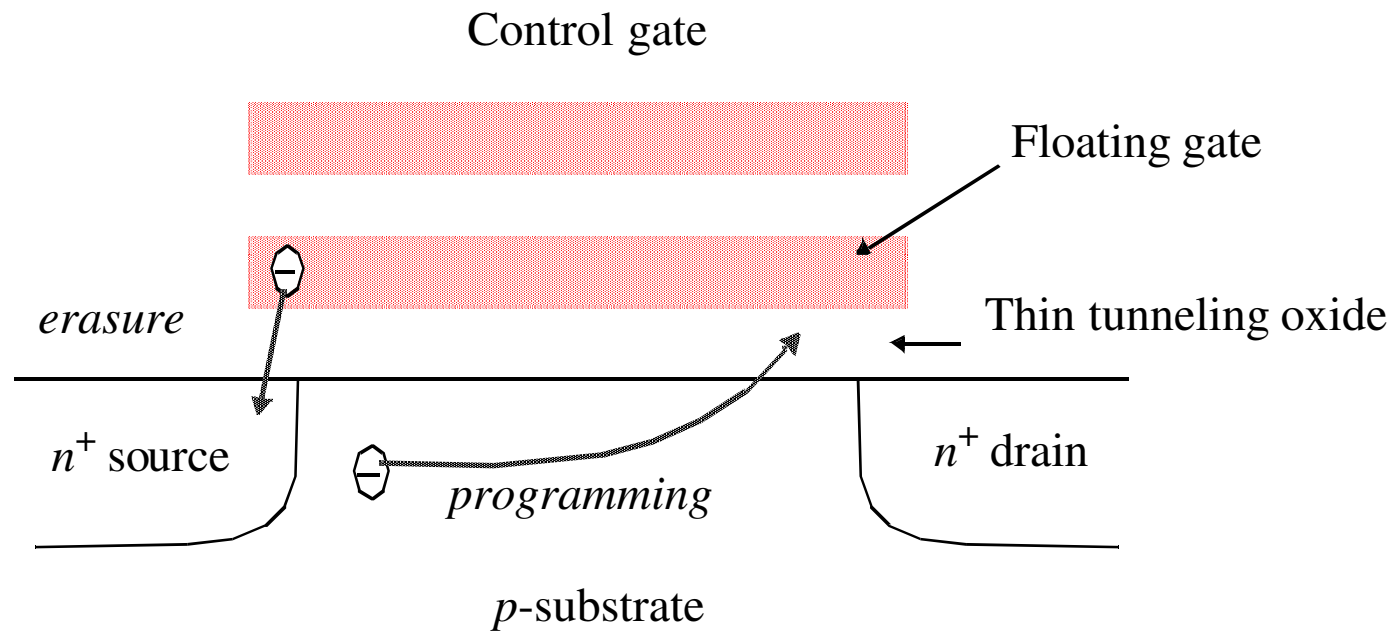


(c) EEPROM cell during a read operation

Componentes Configuráveis pelo Projetista

► Configurabilidade

ETOX



Componentes Configuráveis pelo Projetista

► Configurabilidade

Programação pelas máscaras (*mask-programmable*)

- É feita pela empresa que fabrica CIs (*foundry*)

Programação “em campo” (*field-programmable*)

- O CI já foi fabricado e encapsulado
- A programação é feita pelo usuário/projetista
- Pode ser feita com um equipamento especial ou pode ser feita na própria placa em que irá o componente

Componentes Configuráveis pelo Projetista

▶ **PLDs: *Programmable Logic Devices***

- **TTLs e PROMs oferecem quase nenhuma flexibilidade e baixíssima integração**
- **A partir de 1970 surgiram alternativas com maior capacidade de integração, os PLDs**
- **Um PLD é um circuito lógico programável de propósito geral**
- **Tipos: PLAs, PALs[®]**

[®] marca registrada da Advanced Micro Devices - AMD

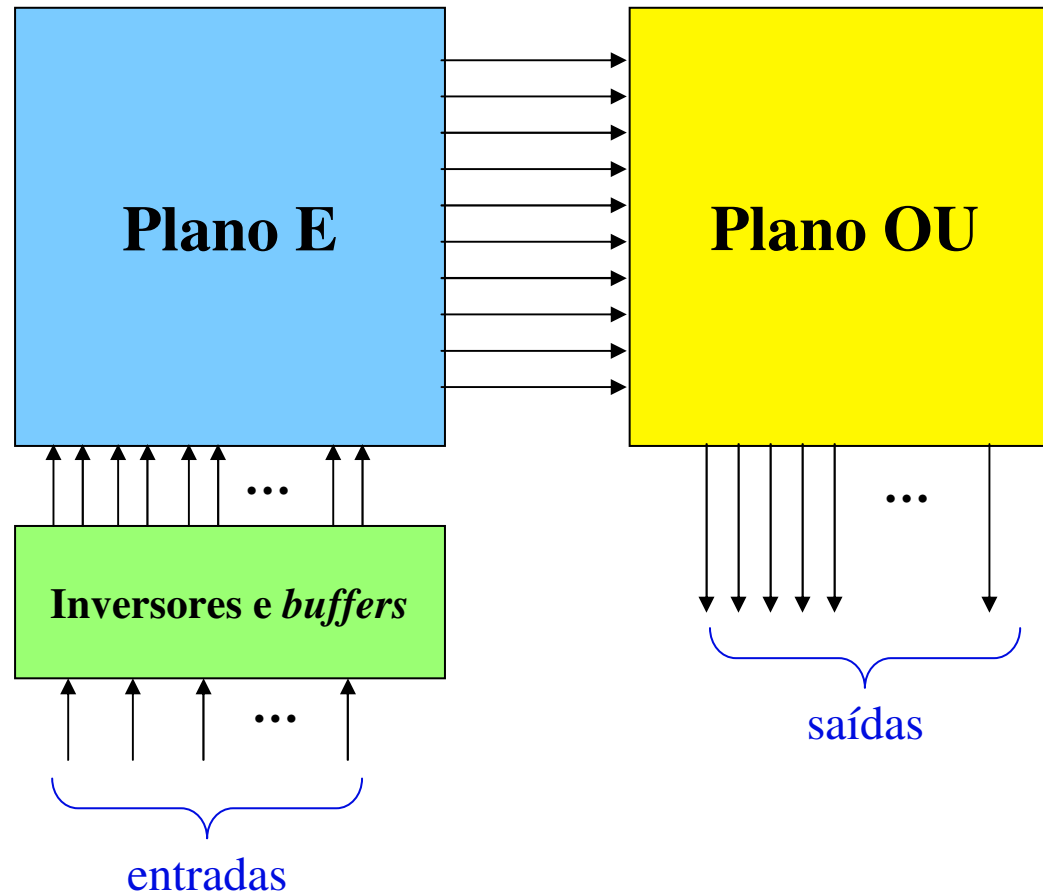
Componentes Configuráveis pelo Projetista

▶ **PLA: Programmable Logic Array**

Introduzida no mercado pela Philips, (início da década de 1970).

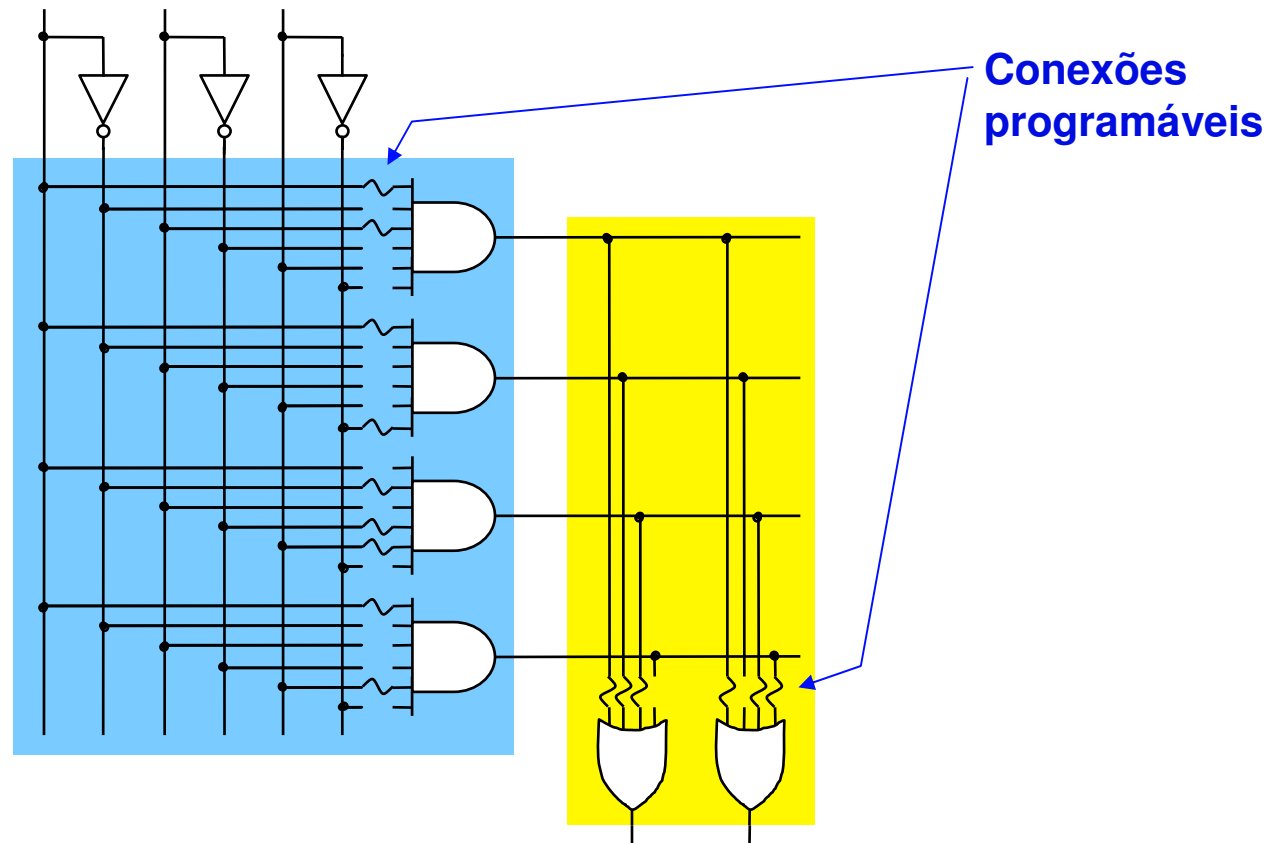
Um PLA típico possui:

- 16 entradas
- 48 produtos
- 8 saídas



Componentes Configuráveis pelo Projetista

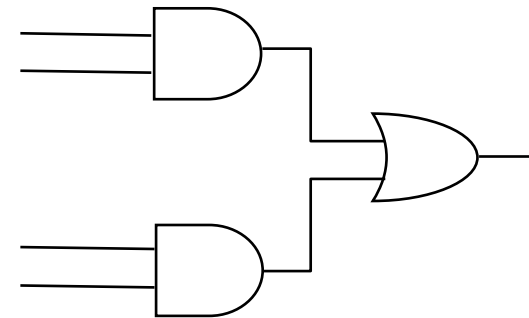
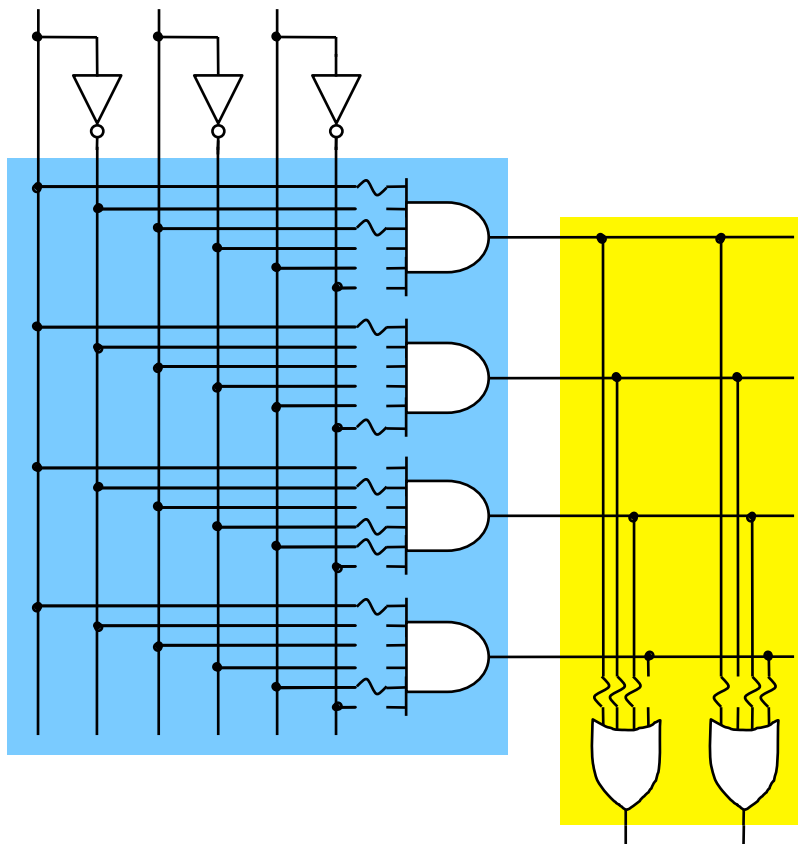
► **PLA: *Programmable Logic Array***



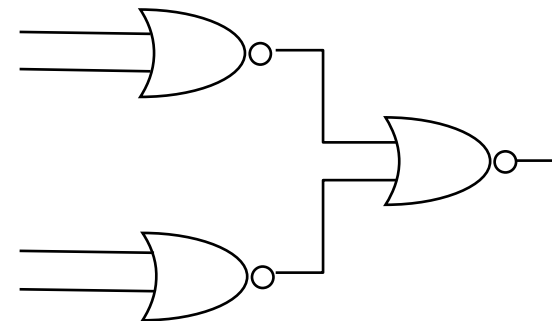
Componentes Configuráveis pelo Projetista

► **PLA: Programmable Logic Array**

Implementação em Tecnologia CMOS: soma de produtos



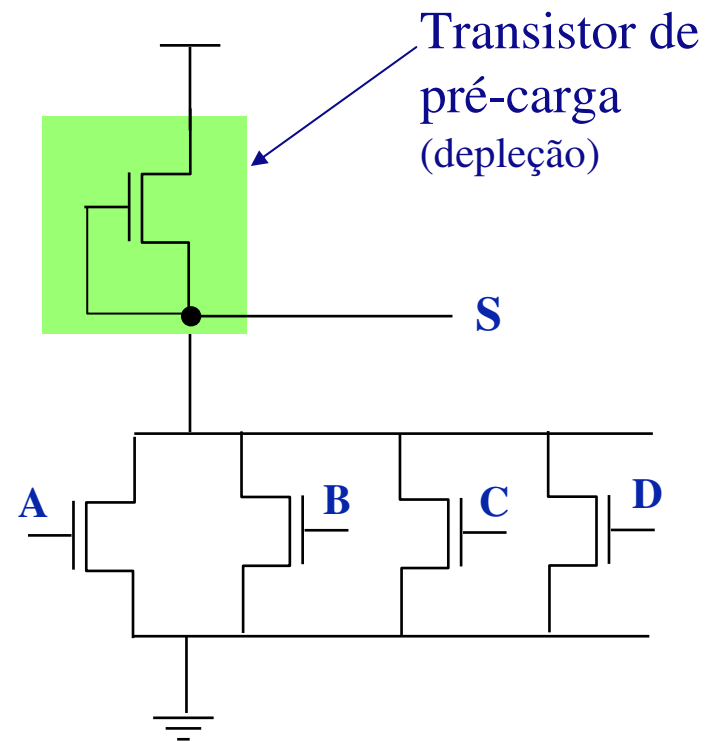
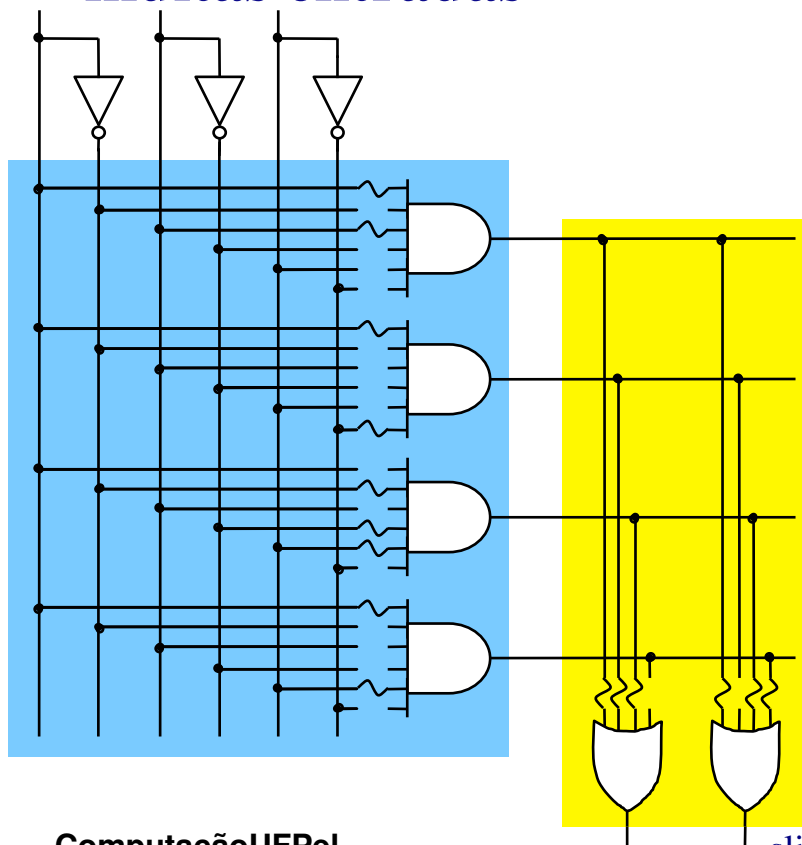
Tomando as variáveis de entrada negadas e aplicando De Morgan...



Componentes Configuráveis pelo Projetista

► **PLA: Programmable Logic Array**

Implementação em Tecnologia CMOS: portas NOR com muitas entradas



Componentes Configuráveis pelo Projetista

▶ **PLA: Programmable Logic Array**

Programando um PLA

- Por questões de desempenho, é preferível implementar produtos simplificados.

A	B	C	F1	F2
0	0	0	0	0
0	0	1	1	1
0	1	0	0	0
0	1	1	0	0
1	0	0	0	0
1	0	1	0	1
1	1	0	1	1
1	1	1	1	1

$$F1 = \bar{A}\bar{B}C + A\bar{B}\bar{C} + ABC$$

$$F2 = \bar{A}\bar{B}C + \bar{A}B\bar{C} + A\bar{B}\bar{C} + ABC$$

Geralmente, número de produtos é limitado:

- Tentar compartilhar produtos entre as equações das saídas...

Componentes Configuráveis pelo Projetista

► PLA: Programmable Logic Array

A	B	C	F1	F2
0	0	0	0	0
0	0	1	1	1
0	1	0	0	0
0	1	1	0	0
1	0	0	0	0
1	0	1	0	1
1	1	0	1	1
1	1	1	1	1

F1	$\overline{B}\overline{C}$	$\overline{B}C$	BC	$B\overline{C}$
\overline{A}	0	1	0	0
A	0	0	1	1

$$F1 = \overline{\overline{A}}\overline{B}\overline{C} + AB$$

$\overline{A}\overline{B}\overline{C}$

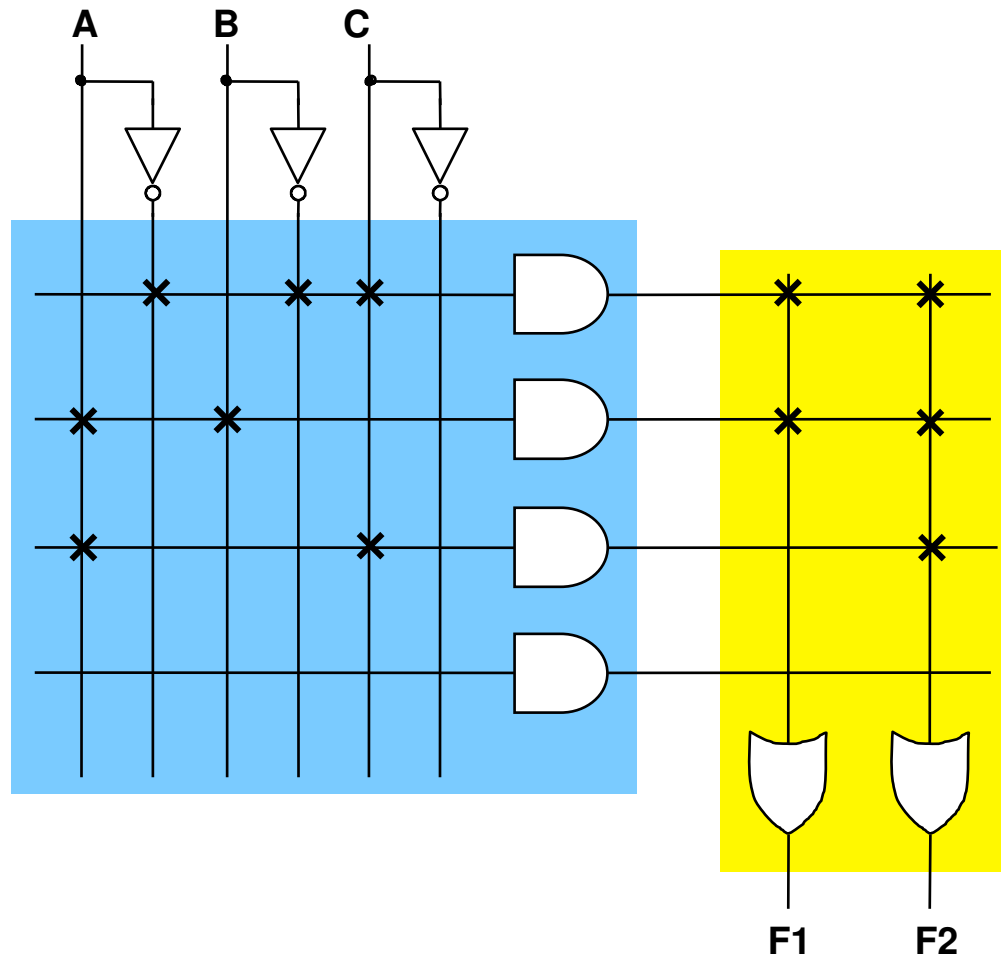
F2	$\overline{B}\overline{C}$	$\overline{B}C$	BC	$B\overline{C}$
\overline{A}	0	1	0	0
A	0	1	1	1

$$F2 = \overline{\overline{A}}\overline{B}\overline{C} + AB + AC$$

A·C

Componentes Configuráveis pelo Projetista

► **PLA: Programmable Logic Array**



$$F1 = \bar{A}\bar{B}C + AB$$

$$F2 = \bar{A}\bar{B}C + AB + AC$$

Componentes Configuráveis pelo Projetista

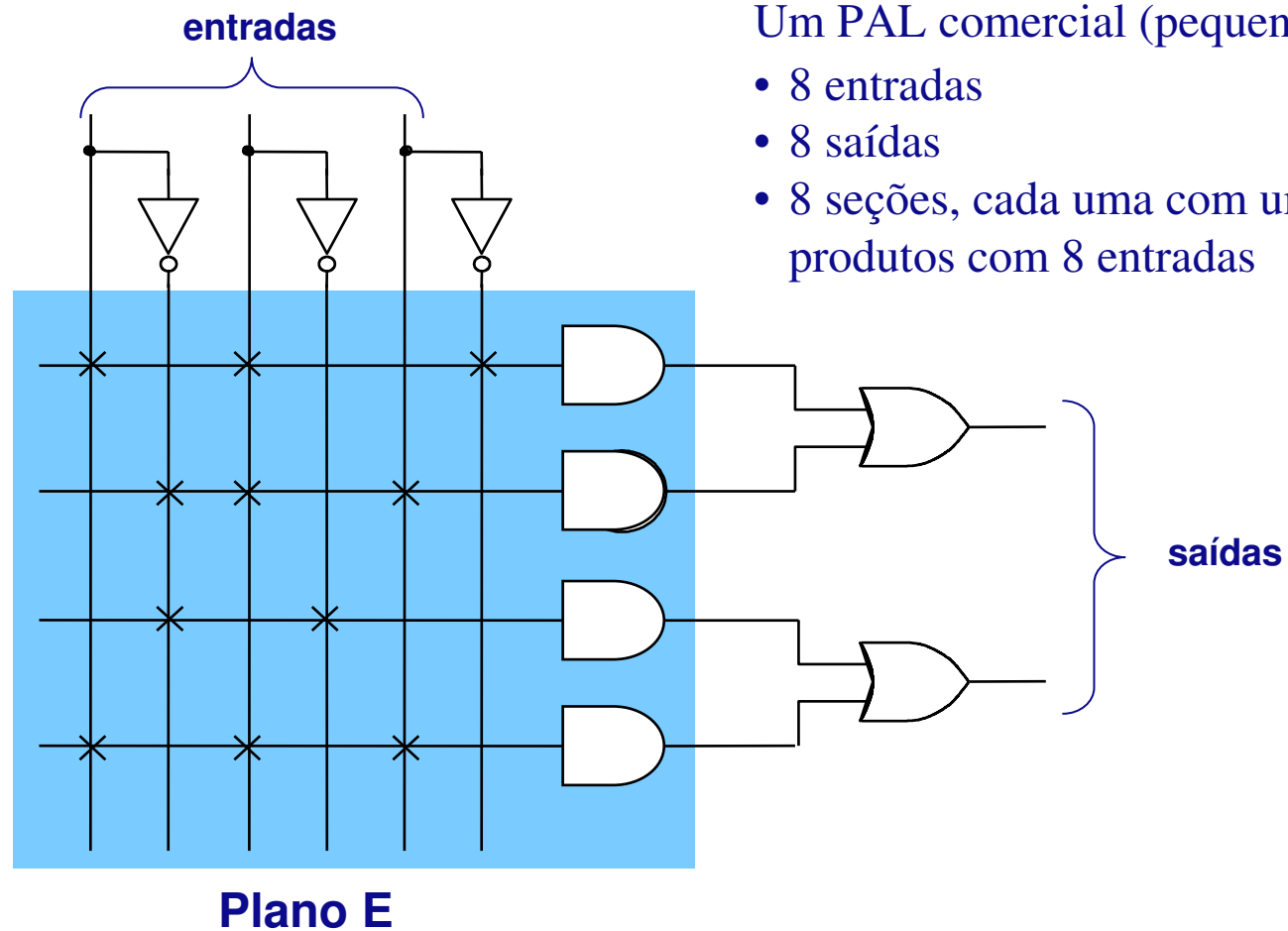
▶ **PAL: *Programmable Array Logic***

- **PLAs possuem muitas conexões possíveis, o que encarece o componente**
- **PALs[®] possuem menos flexibilidade, mas são bem mais baratas**
- **O plano OU é fixo**

[®] marca registrada da Advanced Micro Devices - AMD

Componentes Configuráveis pelo Projetista

▶ PAL: *Programmable Array Logic*



Um PAL comercial (pequeno) possui:

- 8 entradas
- 8 saídas
- 8 seções, cada uma com uma soma de produtos com 8 entradas

Componentes Configuráveis pelo Projetista

▶ PAL: Programmable Array Logic

Em função da falta de flexibilidade do plano OU, as funções devem ser minimizadas separadamente

A	B	C	F1	F2
0	0	0	0	0
0	0	1	1	1
0	1	0	0	0
0	1	1	0	0
1	0	0	0	0
1	0	1	0	1
1	1	0	1	1
1	1	1	1	1

$\overline{A} \cdot \overline{B} \cdot C$

F1	$\overline{B} \overline{C}$	$\overline{B} C$	$B \overline{C}$	$B C$
\overline{A}	0	1	0	0
A	0	0	1	1

A·B

$$F1 = \overline{A} \overline{B} C + AB$$

$\overline{B} \cdot C$

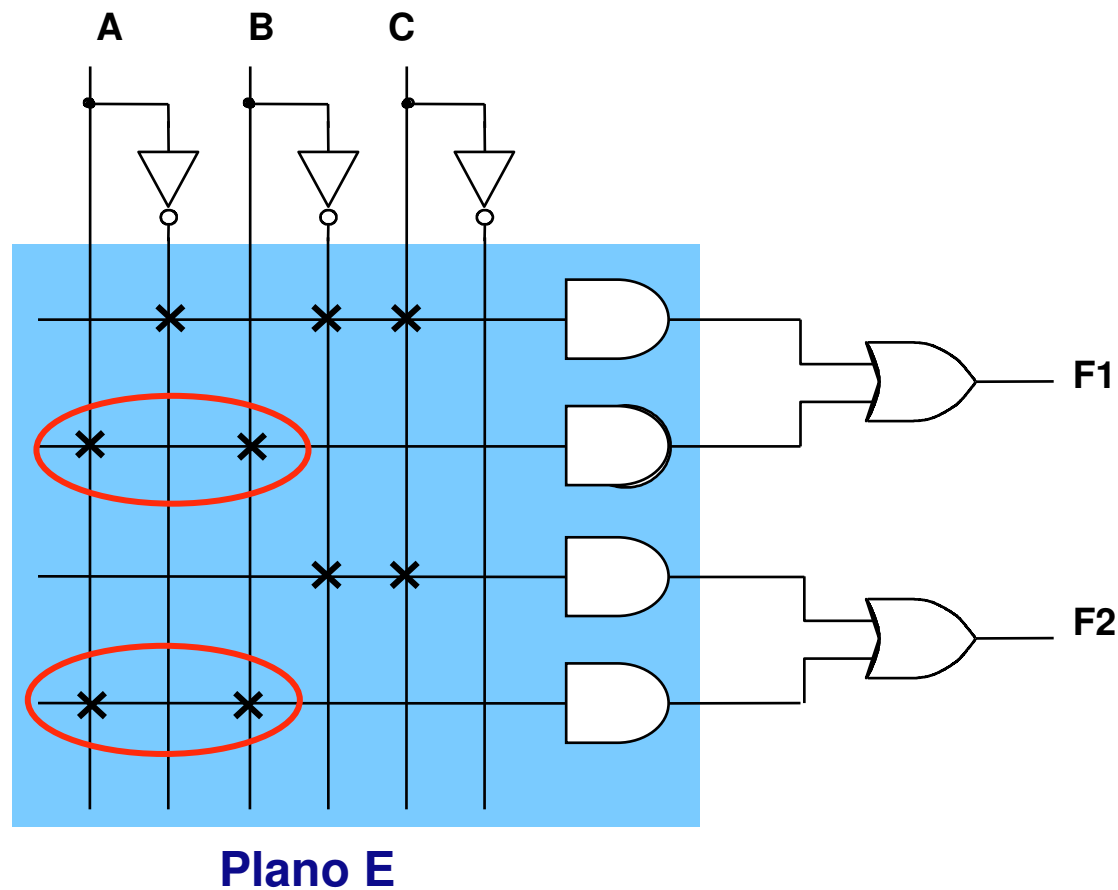
F2	$\overline{B} \overline{C}$	$\overline{B} C$	$B \overline{C}$	$B C$
\overline{A}	0	1	0	0
A	0	1	1	1

A·B

$$F2 = \overline{B} C + AB$$

Componentes Configuráveis pelo Projetista

► PAL: *Programmable Array Logic*



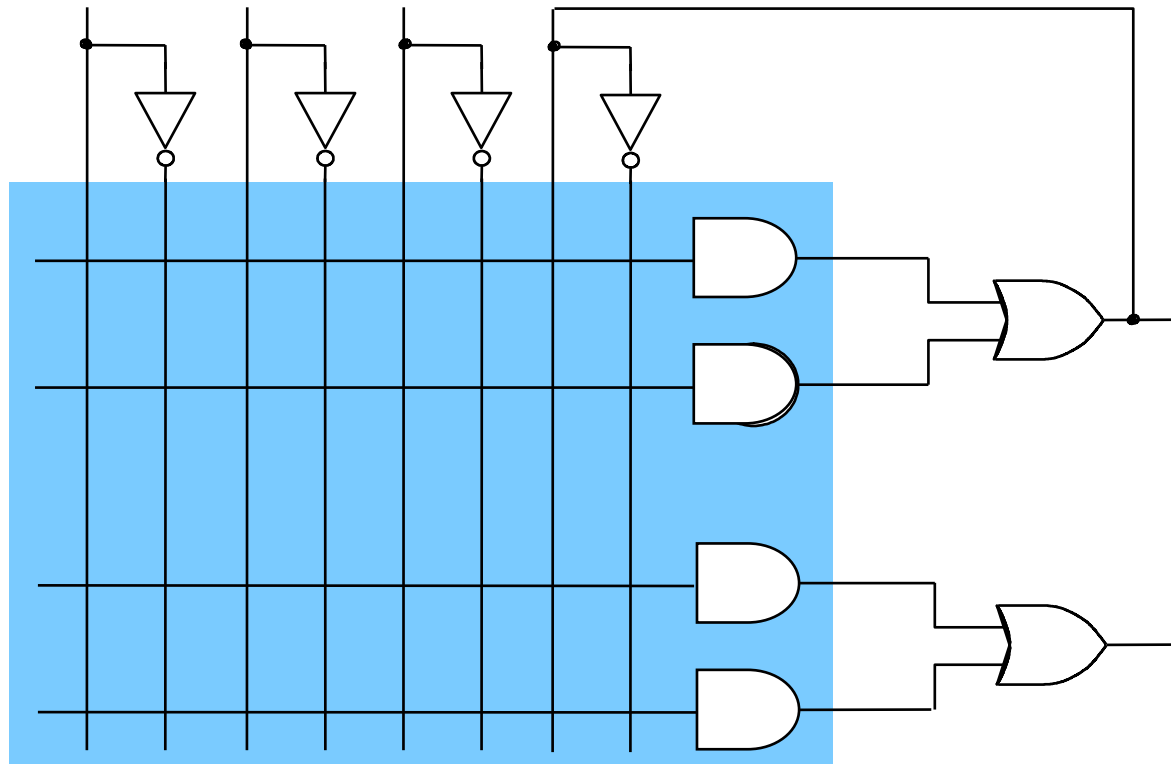
$$F1 = \bar{A}\bar{B}C + AB$$

$$F2 = \bar{B}C + AB$$

Componentes Configuráveis pelo Projetista

▶ **PAL: *Programmable Array Logic***

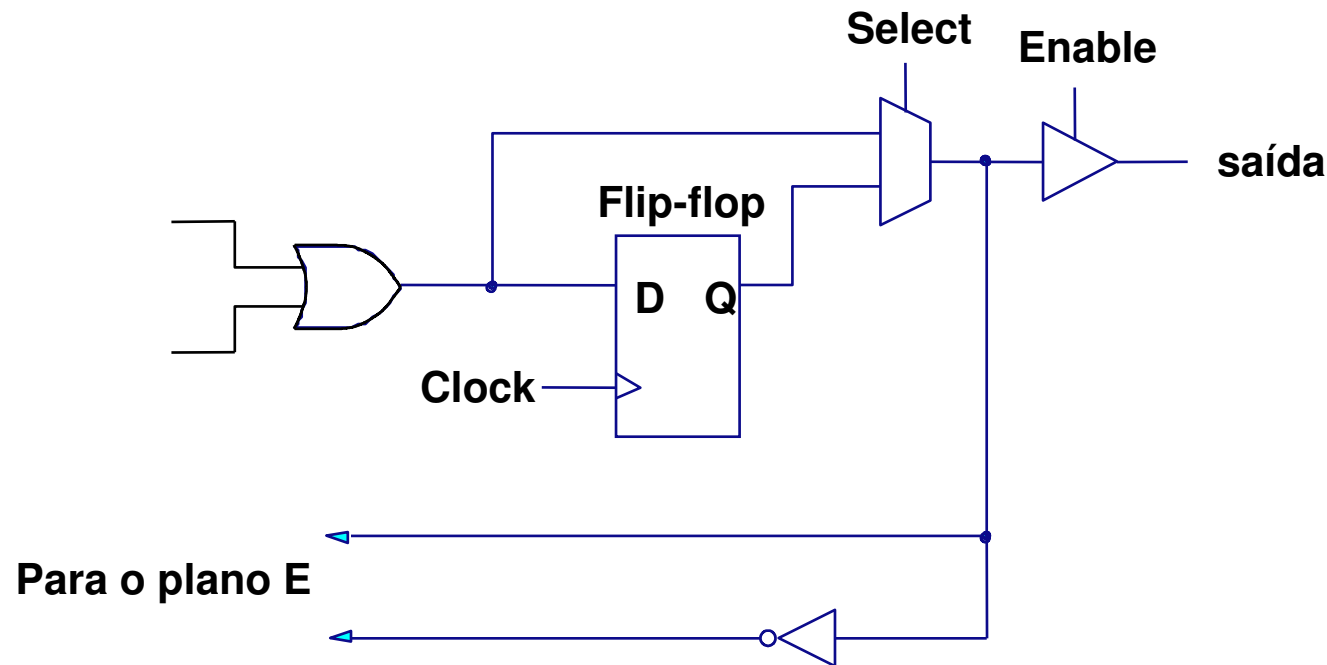
Circuito com uma saída especial permite lógica multinível



Componentes Configuráveis pelo Projetista

▶ **PAL: Programmable Array Logic**

Circuito extra na saída para aumentar a flexibilidade



Componentes Configuráveis pelo Projetista

► Equipamento para Programação de PLDs



Componentes Configuráveis pelo Projetista

▶ SPLDs (PLAs e PALs)

Fabricantes de SPDLs/modelos:

empresa	produtos	Web page
Altera	Classic, FLASHlogic	www.altera.com
Atmel	PAL	www.atmel.com
Cypress	PAL	www.cypress.com
Lattice	GAL	www.latticesemi.com
Philips	PLA, PAL	www.philips.com
Vantis	PAL	www.vantis.com

Componentes Configuráveis pelo Projetista

▶ **CPLDs: *Complex Programmable Logic Devices***

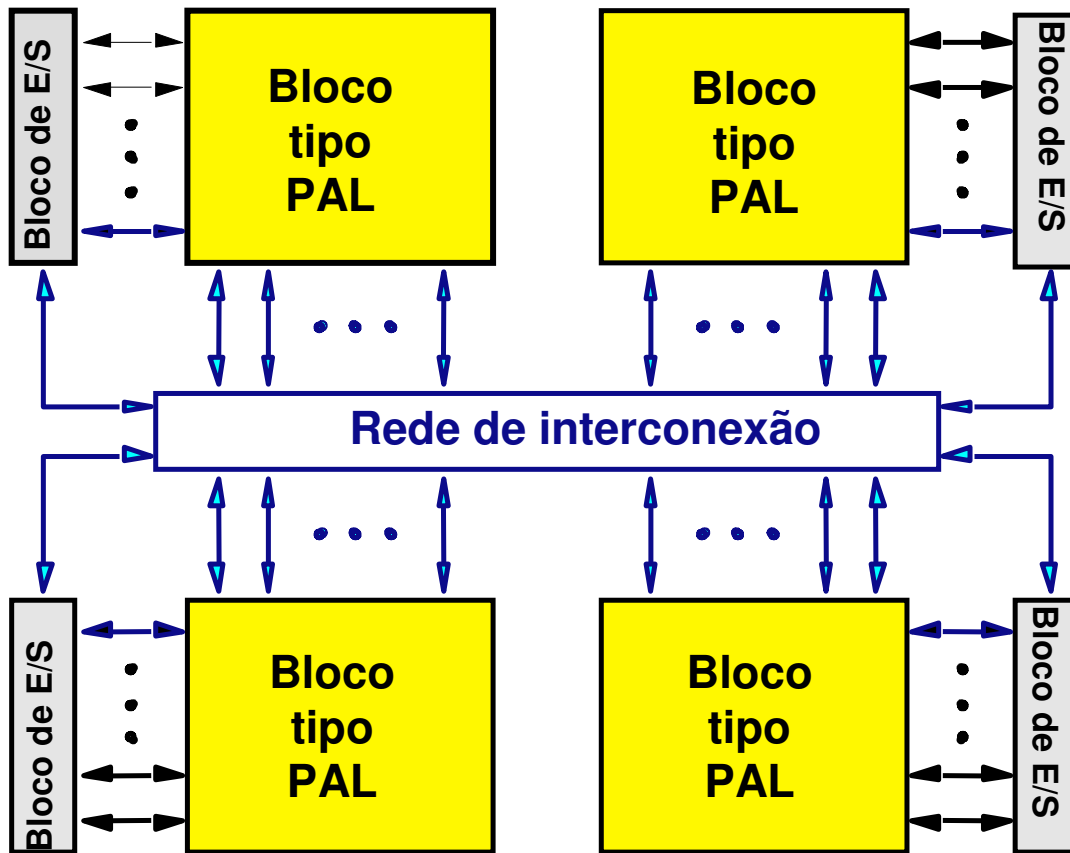
- **PLAs e PALs disponíveis com poucos pinos (máximo, 32)**
- **Circuitos complexos precisariam de muitos componentes, conectados via placa**
- **Restrições de desempenho (velocidade, consumo) e tamanho**

CPLDs:

- **Lançados no final da década dos 80 (+/- 1989, El Gamal), pela Altera.**

Componentes Configuráveis pelo Projetista

► CPLDs: *Complex Programmable Logic Devices*

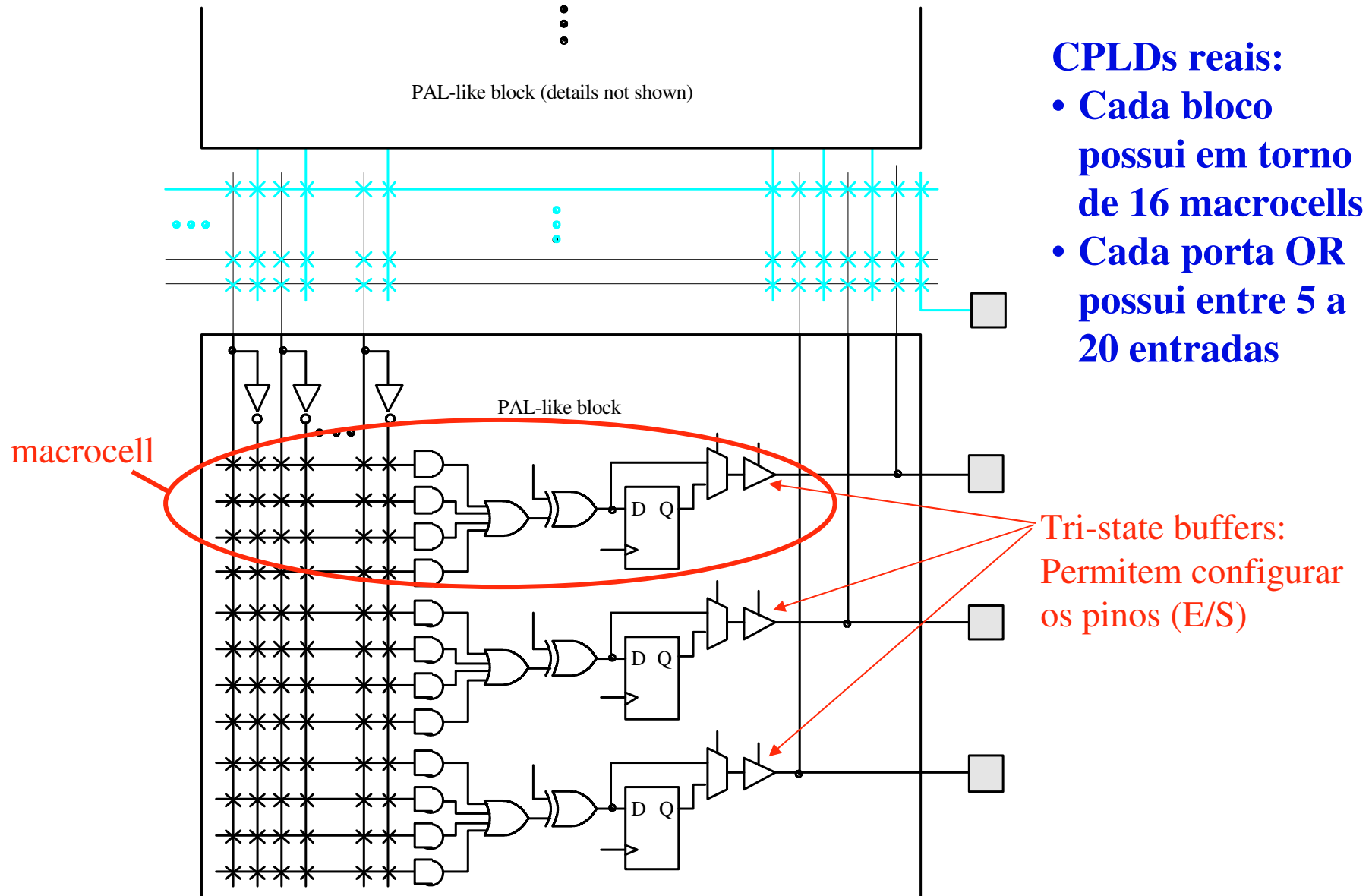


Estrutura de um CPLD

CPLDs existentes no mercado:

- Possuem entre 2 a 100 blocos tipo PAL
- Variedade de encapsulamentos, com até 200 pinos (QFP)

Componentes Configuráveis pelo Projetista



CPLDs reais:

- Cada bloco possui em torno de 16 macrocells
- Cada porta OR possui entre 5 a 20 entradas

Componentes Configuráveis pelo Projetista

▶ **CPLDs: *Complex Programmable Logic Devices***

Fabricantes de CPDLs/modelos:

empresa	produtos	Web page
Altera	MAX 5000, 7000, 9000	www.altera.com
Atmel	ATE, ATV	www.atmel.com
Cypress	FLASH370, Ultra37000	www.cypress.com
Lattice	ispLSI 1000-8000	www.latticesemi.com
Philips	XPLA	www.philips.com
Vantis	MACH 1-5	www.vantis.com
Xilinx	XC9500	www.xilinx.com

Componentes Configuráveis pelo Projetista

► CPLDs: *Complex Programmable Logic Devices*

Exemplo comercial: Altera MAX 7000

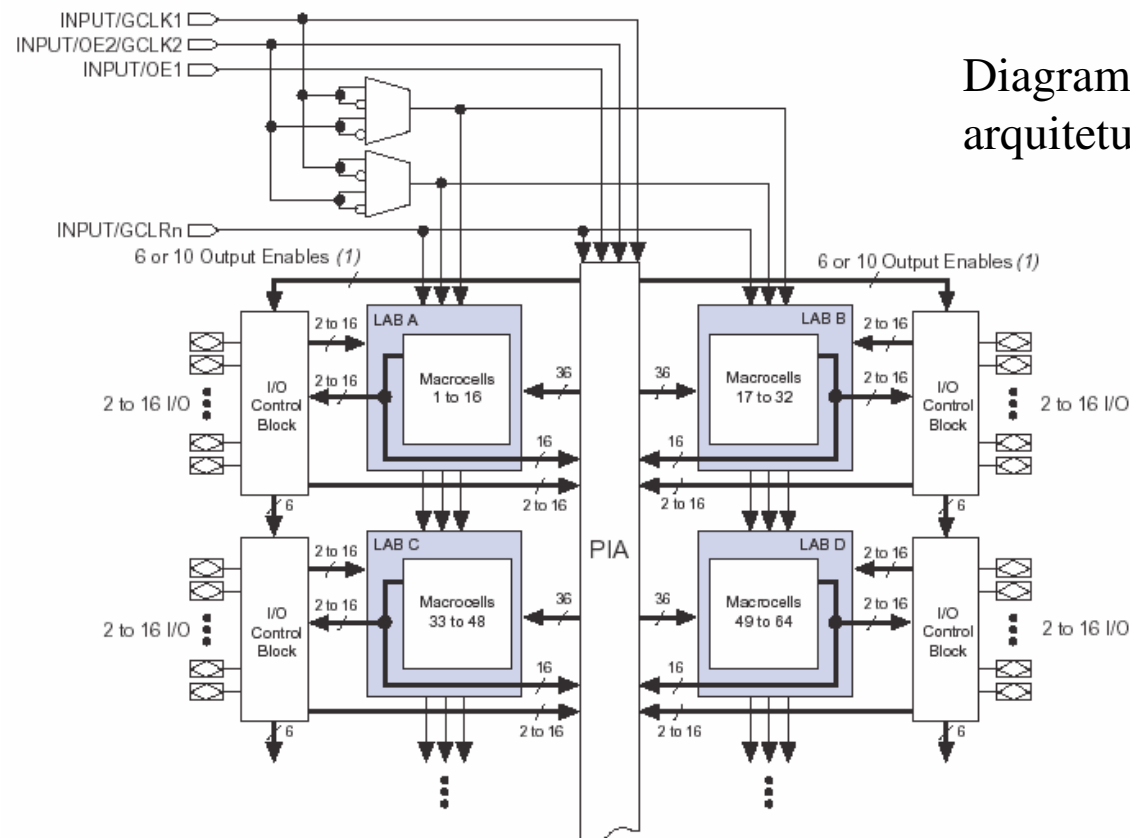
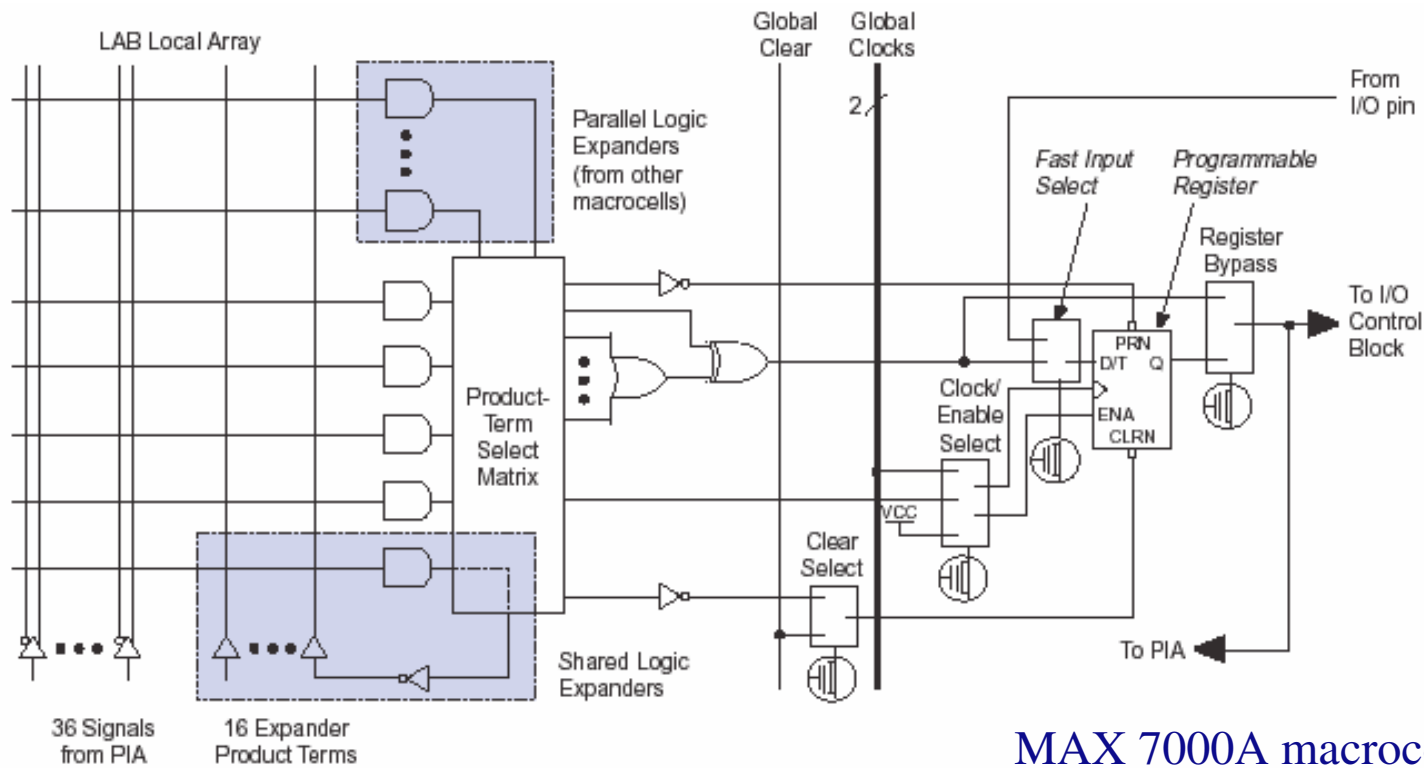


Diagrama de blocos da arquitetura MAX 7000

Componentes Configuráveis pelo Projetista

▶ CPLDs: *Complex Programmable Logic Devices*

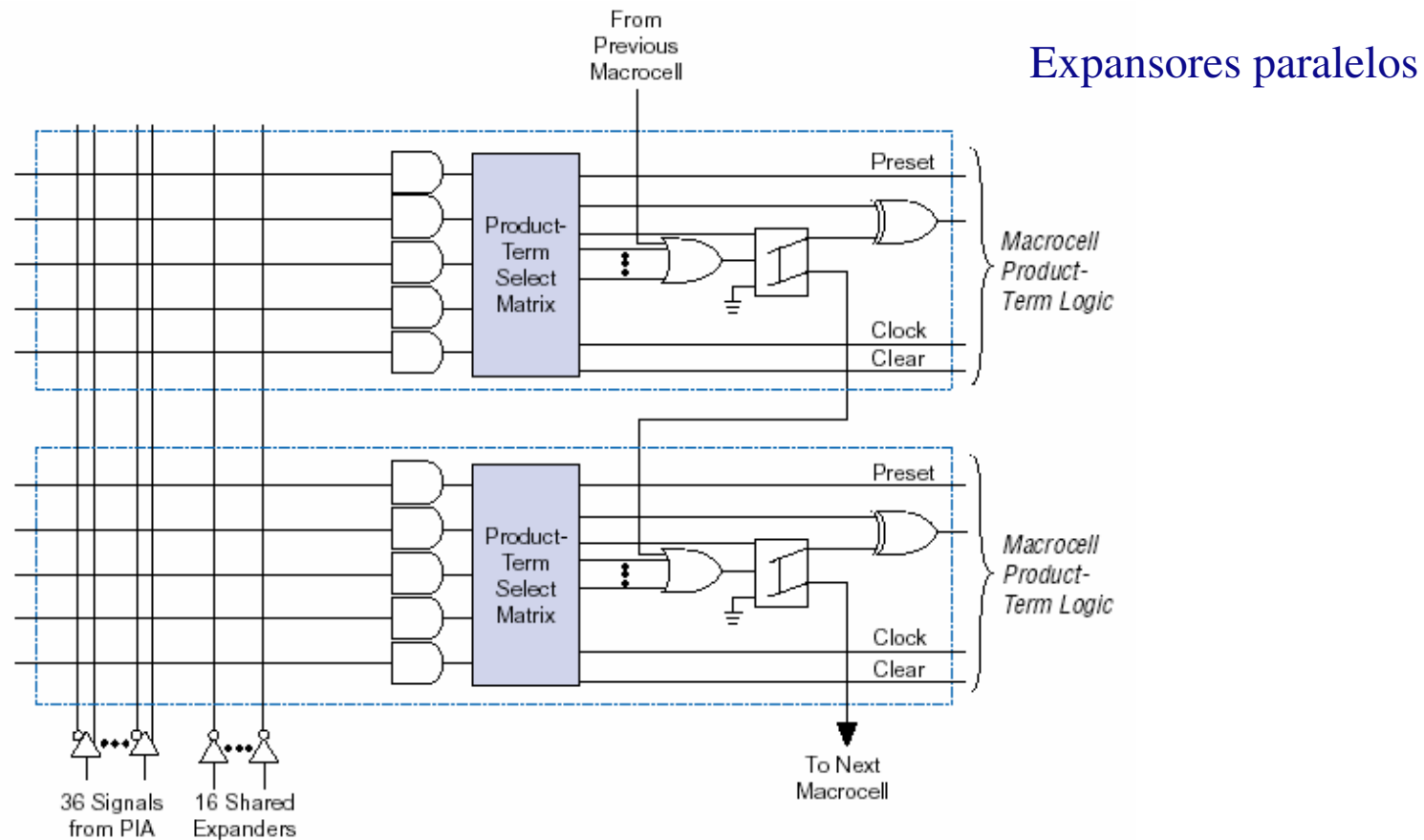
Exemplo comercial: Altera MAX 7000



Componentes Configuráveis pelo Projetista

► CPLDs: *Complex Programmable Logic Devices*

Exemplo comercial: Altera MAX 7000

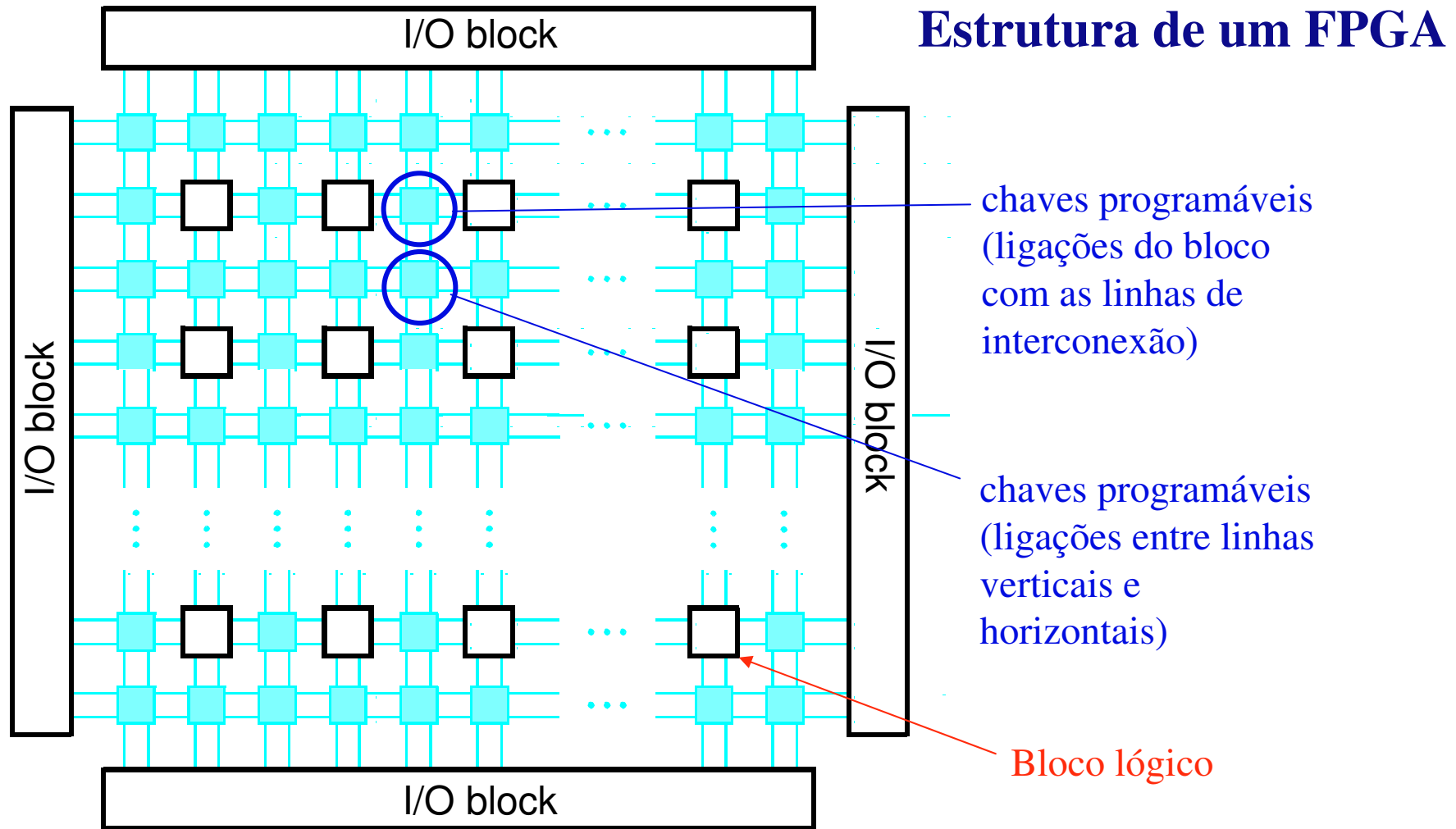


Componentes Configuráveis pelo Projetista

▶ **FPGAs: *Field Programmable Gate Arrays***

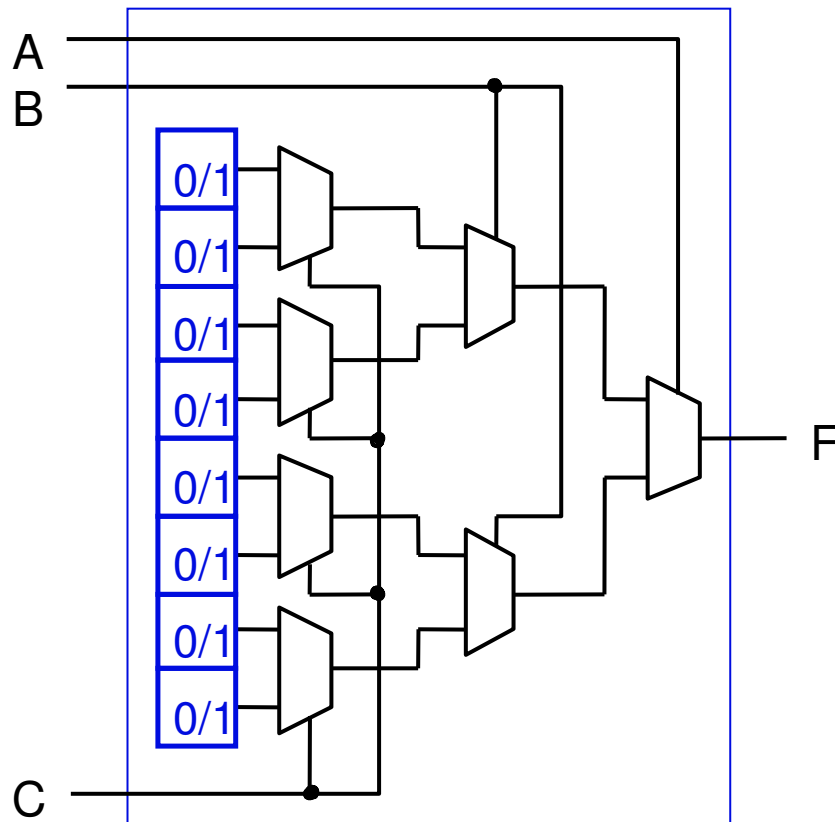
- **PLAs e PALs são muito simples (<200 gates equivalentes)**
 - **CPLDs têm capacidade moderada (até 100.000 gates equivalentes)**
 - **Atualmente, FPGAs apresentam capacidade de mais de 1M de gates equivalentes**
- **Os blocos programáveis dos FPGAs não contêm planos E/OU**
 - **Os “blocos lógicos” (*logic blocks*) são baseados na implementação direta da tabela-verdade (*lookup tables*)**

Componentes Configuráveis pelo Projetista



Componentes Configuráveis pelo Projetista

► **FPGAs: *Field Programmable Gate Arrays***



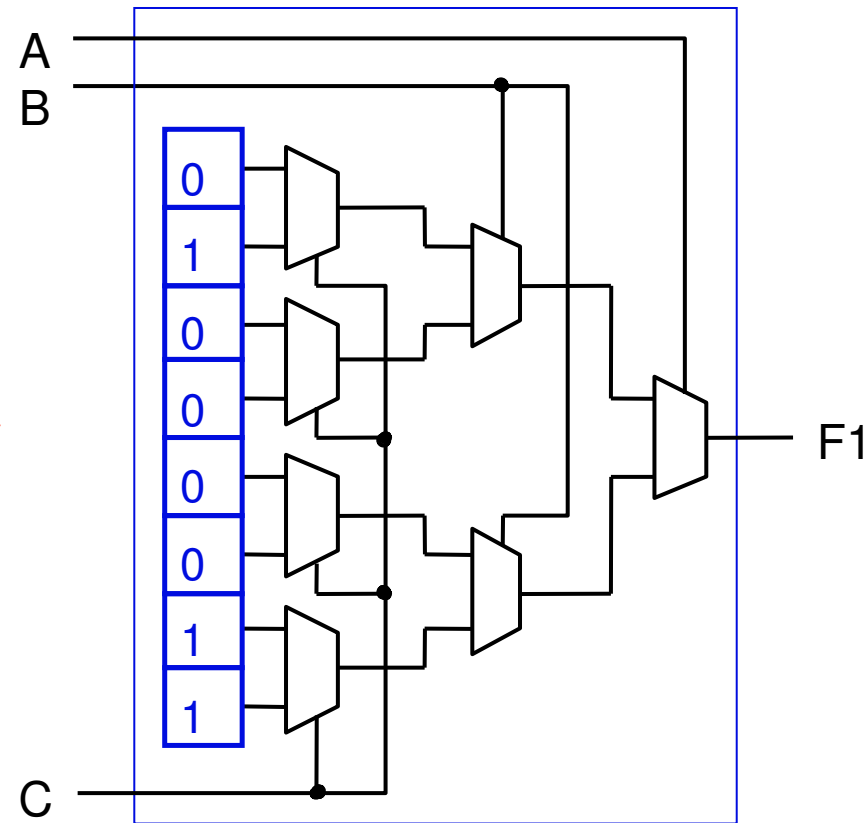
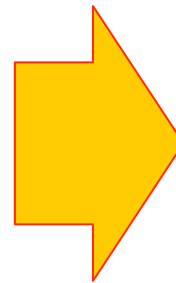
- LUTs são mais compactas que arranjos E/OU, pois são implementadas como MUXes (com trans. de passagem)
- LUTs necessitam de elementos de memória, que normalmente são SRAM
- As LUTs dos FPGAs disponíveis no mercado possuem 4 ou 5 entradas (16 ou 32 elementos)

Componentes Configuráveis pelo Projetista

► **FPGAs: *Field Programmable Gate Arrays***

Programando LUTs

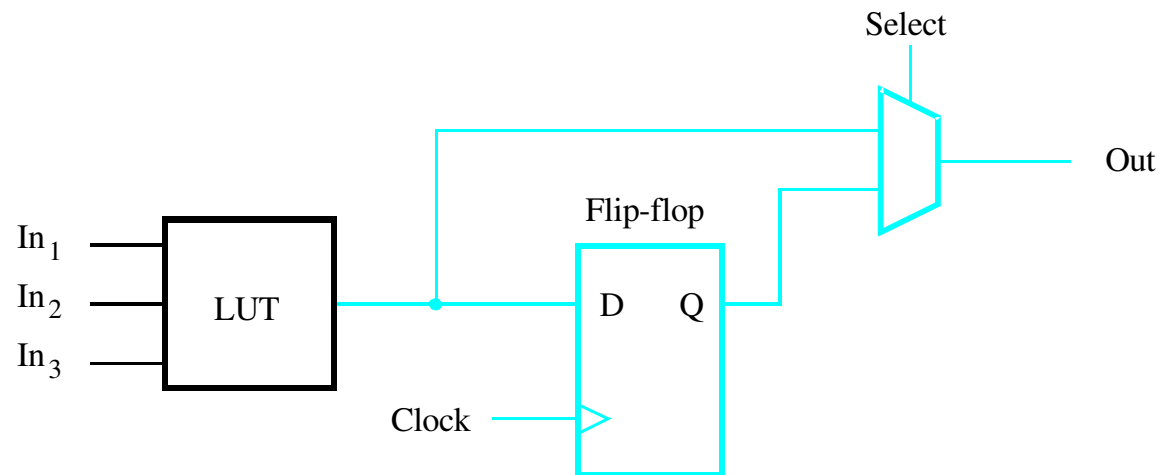
A	B	C	F1	F2
0	0	0	0	0
0	0	1	1	1
0	1	0	0	0
0	1	1	0	0
1	0	0	0	0
1	0	1	0	1
1	1	0	1	1
1	1	1	1	1



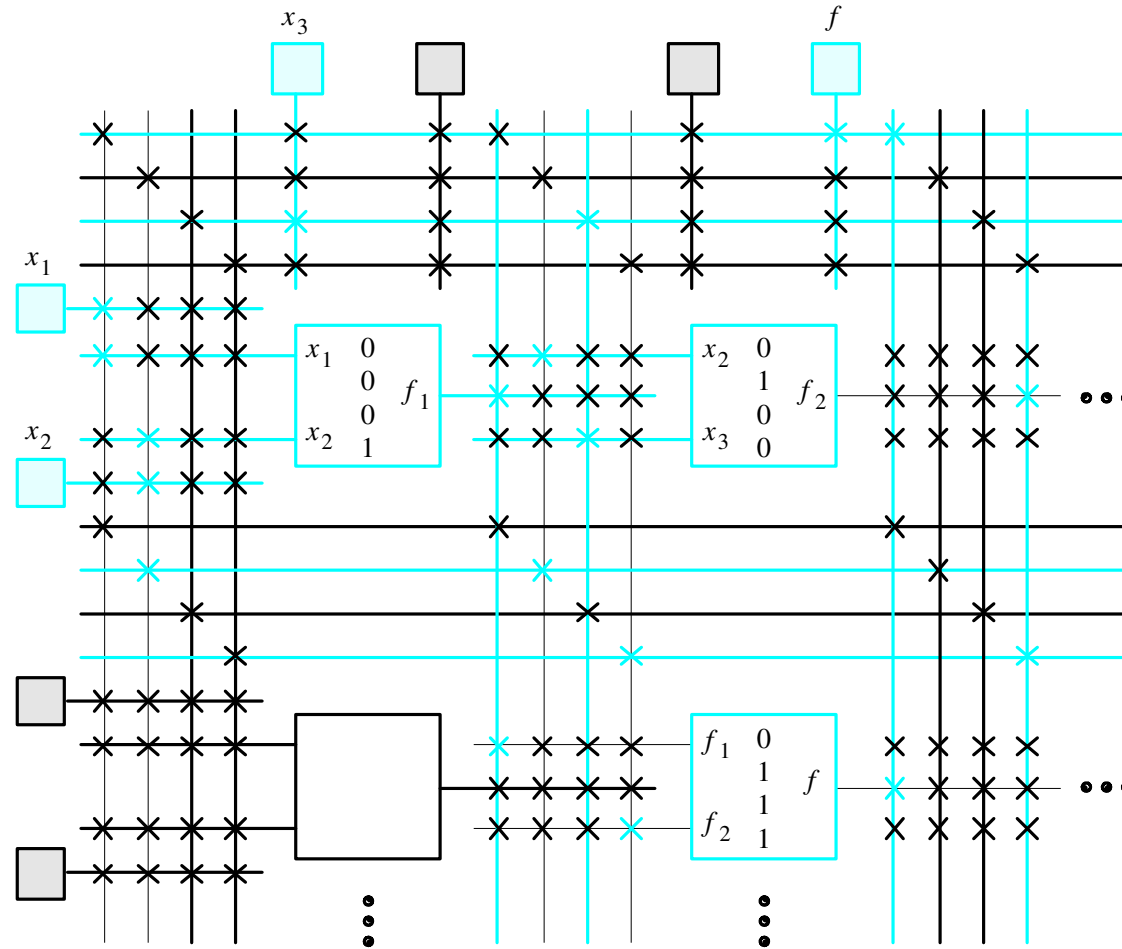
Componentes Configuráveis pelo Projetista

► **FPGAs: *Field Programmable Gate Arrays***

Circuito de Saída

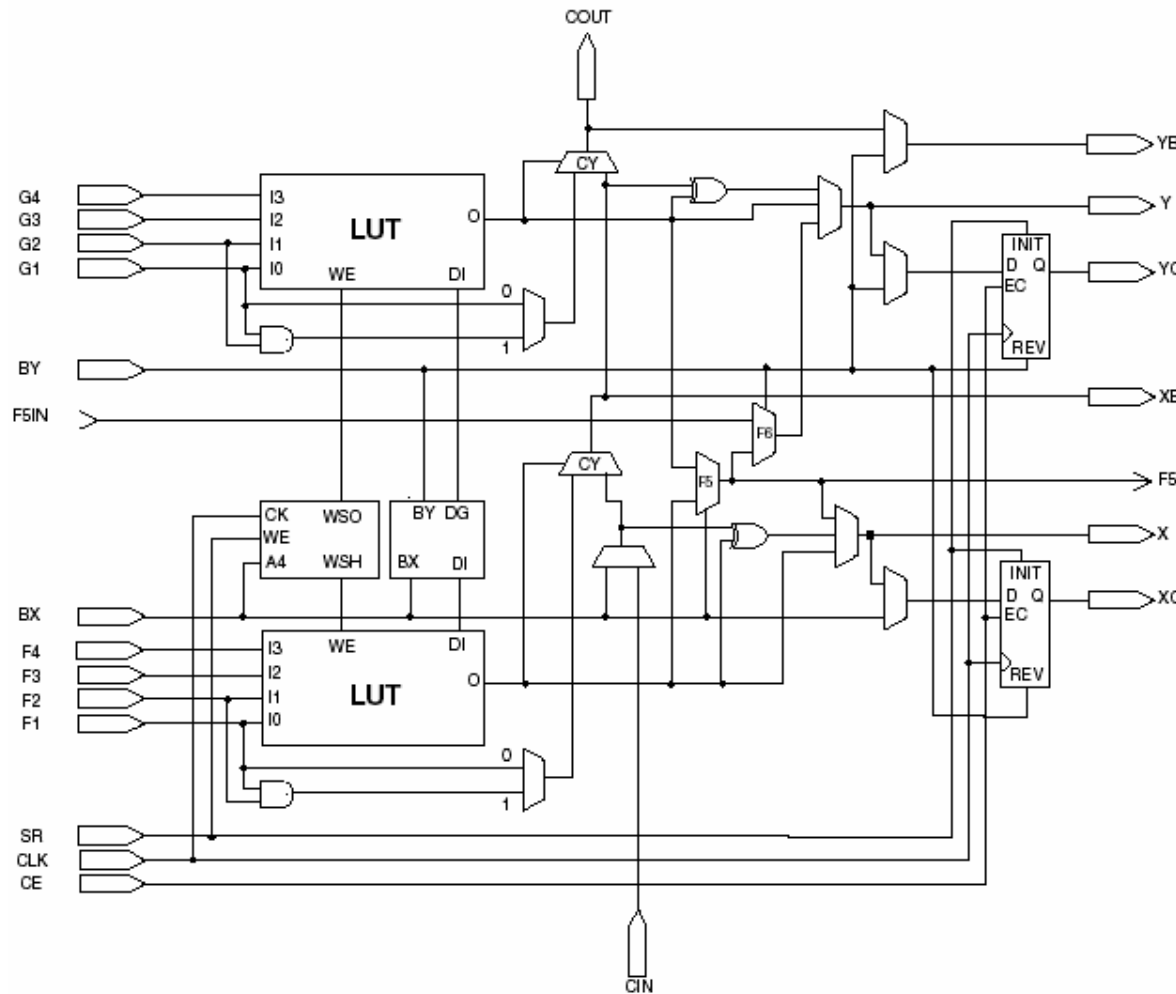


Componentes Configuráveis pelo Projetista



Componentes Configuráveis pelo Projetista

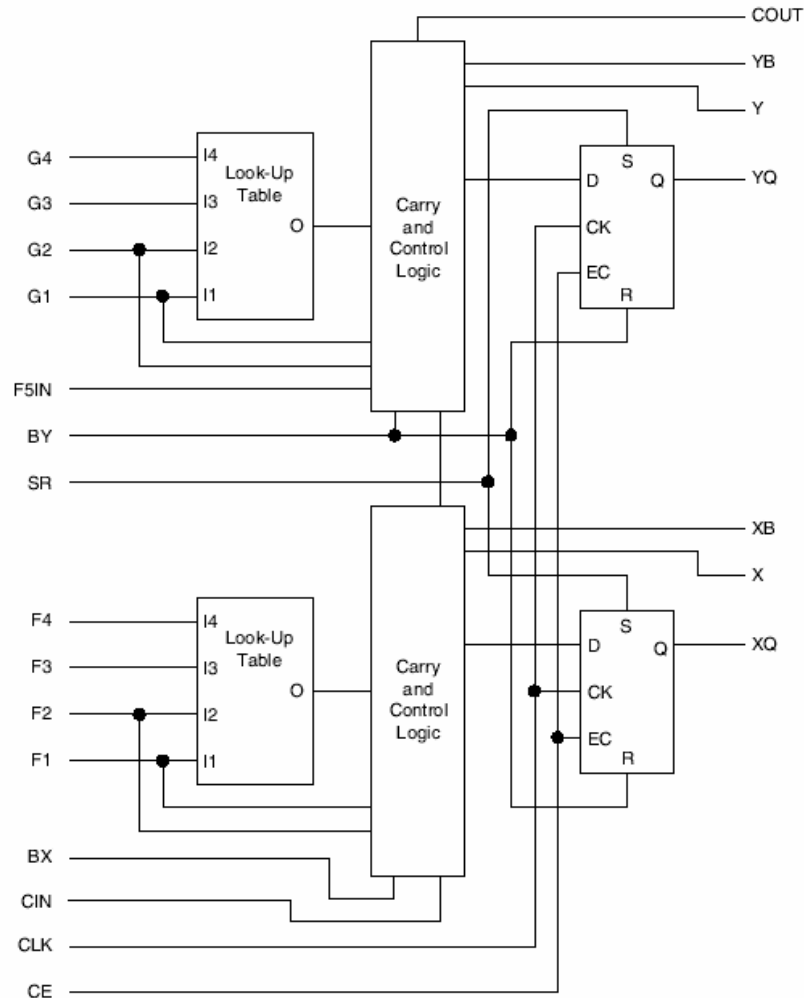
► **FPGAs: *Field Programmable Gate Arrays***



Xilinx Virtex
“Fatia” do CLB

Componentes Configuráveis pelo Projetista

► **FPGAs: *Field Programmable Gate Arrays***



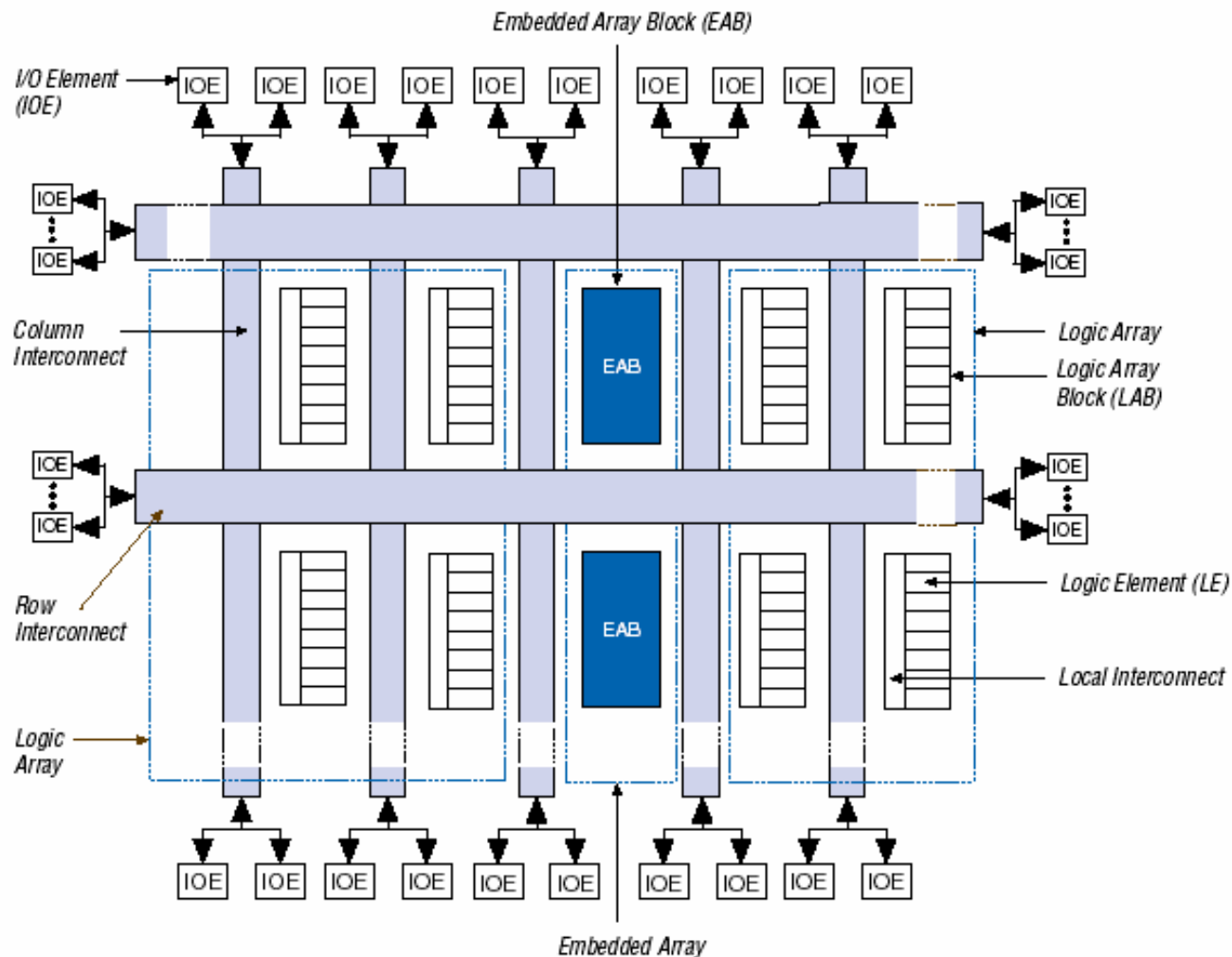
Xilinx Spartan-II

Fatia do CLB

(2 fatias em cada CLB)

Componentes Configuráveis pelo Projetista

► **FPGAs: *Field Programmable Gate Arrays***

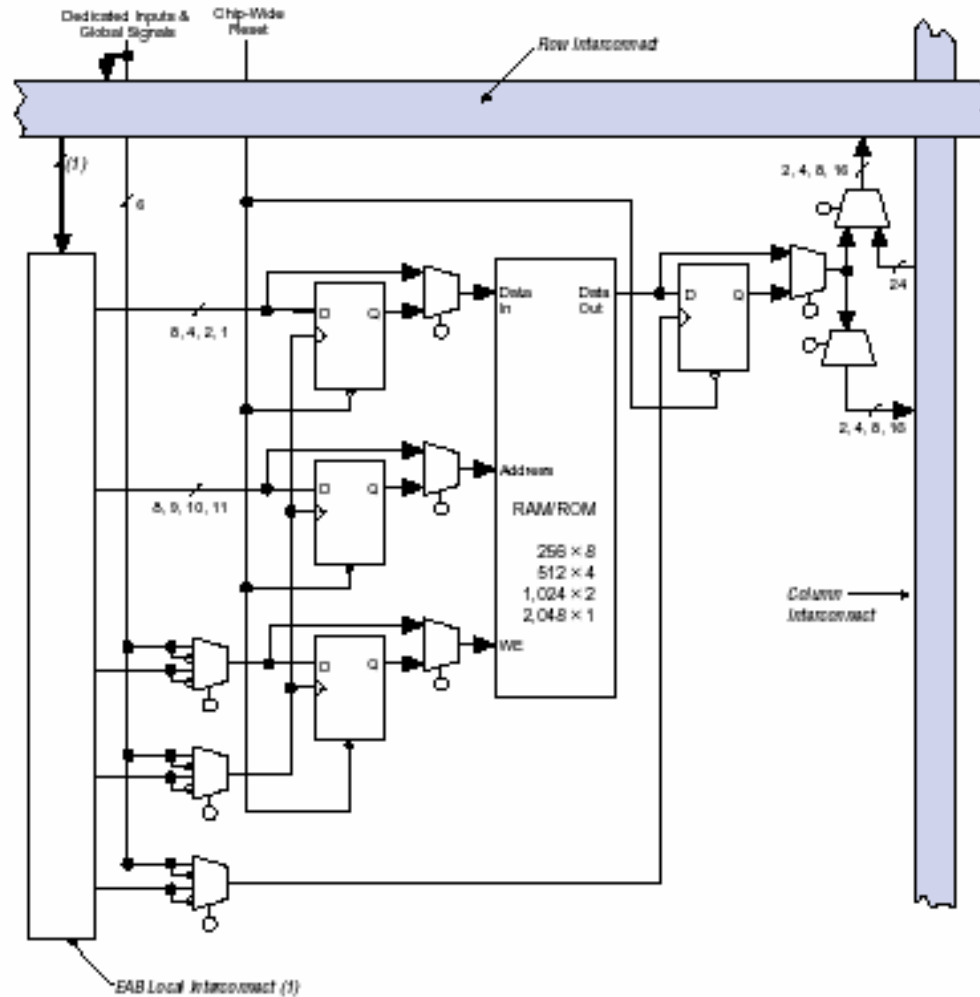


Altera FLEX10K

Diagrama de blocos

Componentes Configuráveis pelo Projetista

► FPGAs: *Field Programmable Gate Arrays*

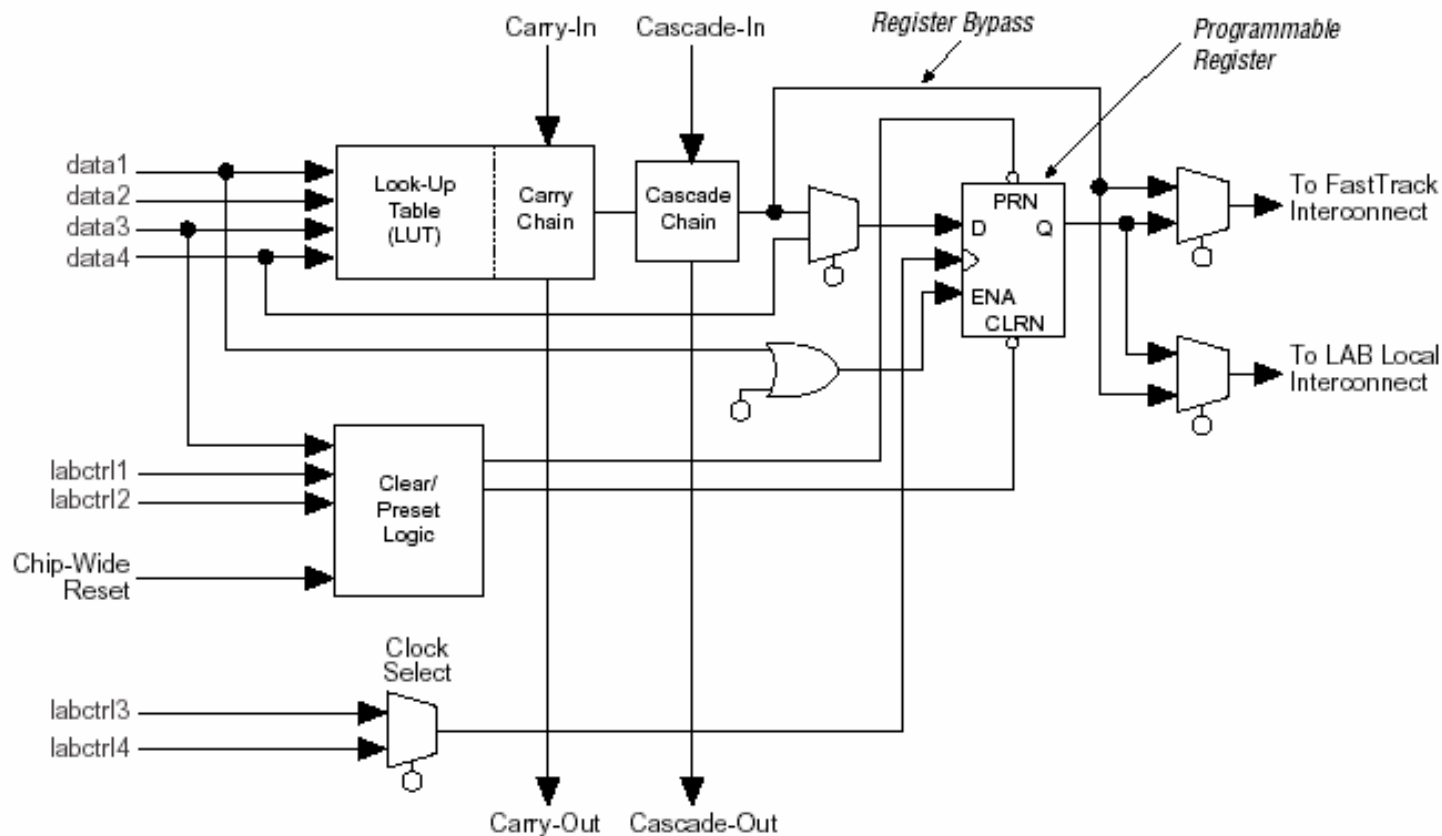


Altera FLEX10K
Logic array block

Componentes Configuráveis pelo Projetista

► **FPGAs: *Field Programmable Gate Arrays***

Altera FLEX10K: elemento lógico



Componentes Configuráveis pelo Projetista

► **FPGAs: *Field Programmable Gate Arrays***

Fabricantes de FPGAs/modelos:

empresa	produtos	Web page
Actel	Act 1, 2 e 3, MX, SX	www.actel.com
Altera	FLEX 6000, 8000, 10 K, APEX 20k, ACEX, Stratix, Cyclone	www.altera.com
Atmel	AT6000, AT40K	www.atmel.com
Lucent	ORCA 1, 2 e 3	www.lucent.com
Quicklogic	pASIC 1, 2 e 3	www.quicklogic.com
Vantis	VF1	www.vantis.com
Xilinx	XC3000, XC4000, XC5200, Virtex, Spartan	www.xilinx.com

Componentes Configuráveis pelo Projetista

▶ **FPGAs: *Field Programmable Gate Arrays***

- **As funções devem caber dentro das LUTs**
- **O mapeamento é feito automaticamente por ferramentas de CAD que os fabricantes fornecem:**
 - **Altera: MaxPlusII e Quartus II**
 - **Xilinx: Foundation 1.5 e ISE**

Componentes Configuráveis pelo Projetista

▶ **FPGAs: *Field Programmable Gate Arrays***

- **O conteúdo de um FPGA é perdido quando a alimentação é interrompida**
 - **A placa onde está o FPGA deve ter também uma PROM, a qual contém a programação da FPGA**
 - **Os elementos de armazenamento do FPGA são carregados automaticamente quando a alimentação é ligada**
- **FPGAs permitem a reconfiguração (dinâmica ou estática) de um sistema**

Componentes Configuráveis pelo Projetista

► **Resumo**

- **SSIs e MSIs (TTL) obsoletos há muito tempo**
- **PROMs, EPROMs, EEPROMs:** alternativa aos TTL, com maior capacidade (1970)
- **PLAs, PALs:** pequena integração. Planos E/OU.
- **CPLDs:** muitos blocos tipo PAL/PLA + blocos interconexão
- **FPGAs:** blocos lógicos são LUTs (mais compactas). Atualmente, mais de 1M de gates equivalentes. **Possibilidade de reconfiguração**