Universidade Federal de Santa Catarina
Centro Tecnológico – CTC
Departamento de Engenharia Elétrica

“EEL5105 – Circuitos e Técnicas Digitais”

Prof. Eduardo Augusto Bezerra

Eduardo.Bezerra@ufsc.br

Florianópolis, agosto de 2015.

“EEL 5105 – Circuitos e Técnicas Digitais”

Fluxo de projeto – Quartus II

“Desenvolvimento de Sistemas Digitais com FPGAs”

Material utilizado no Lab 1:

- lab1_FPGAs.ppt
- DE1-SoC_User_manual_0C0D.pdf
- Capítulo 1 do livro texto

Roteiro da aula

1. Apresentação lab1_FPGAs.ppt
   Slides 1..14, 31..33, 55..58

2. Documentação do kit de desenvolvimento, incluindo informações de pinagem disponível em:
   - DE1-SoC_User_manual_0C0D.pdf

3. Versão em PDF do capítulo 1 do livro texto disponível no site da disciplina

4. Seguir o tutorial COMPLETO descrito no livro texto e nessa apresentação, pois esse fluxo de projeto será utilizado em todas as aulas de laboratório do semestre.

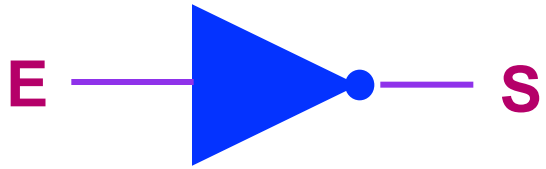
Motivação – Indústria de Circuitos Integrados

INVERSOR CMOS

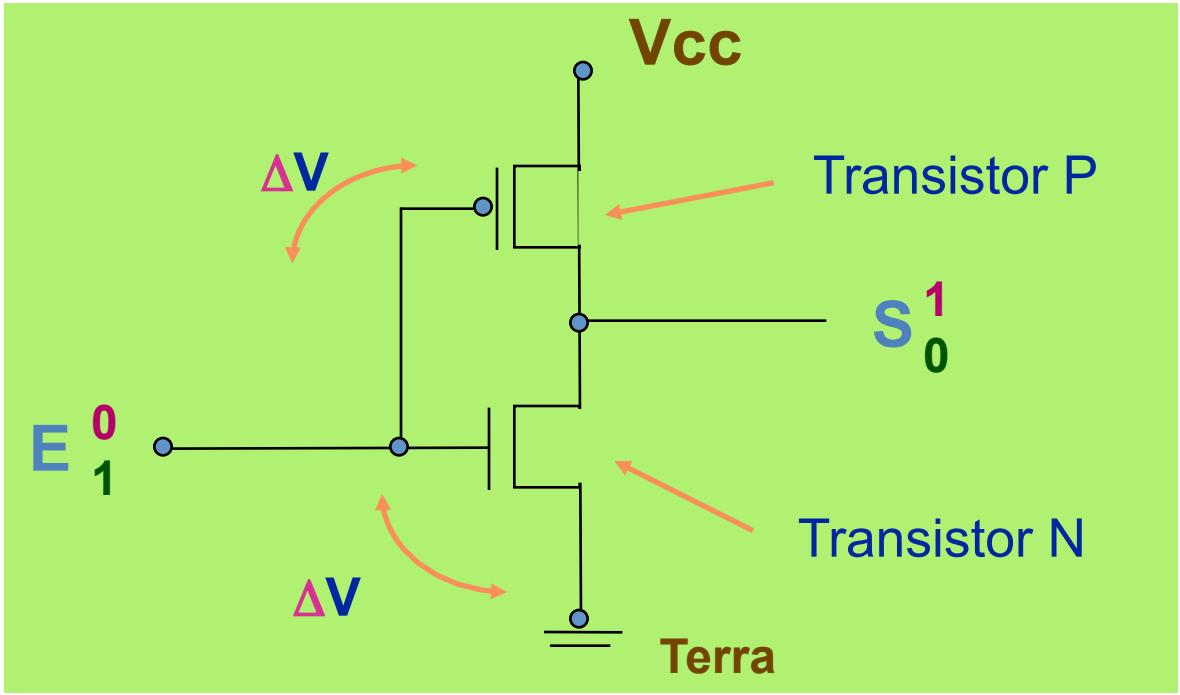
- **Equação**:

$$S = \overline{E}$$

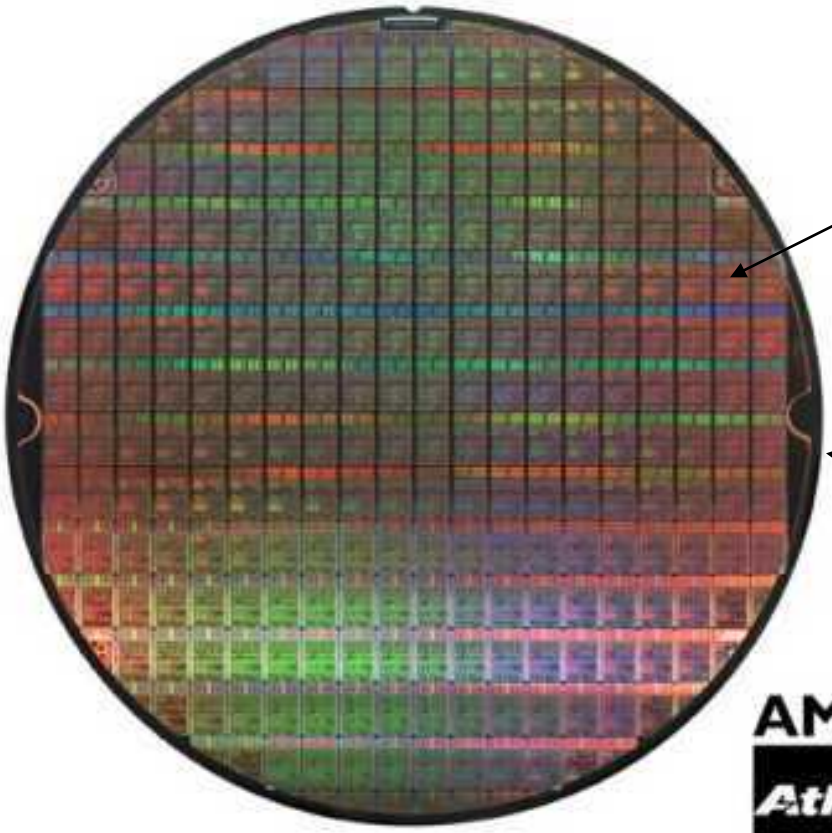
- **Esquema Lógico**



- **Esquema Elétrico CMOS**



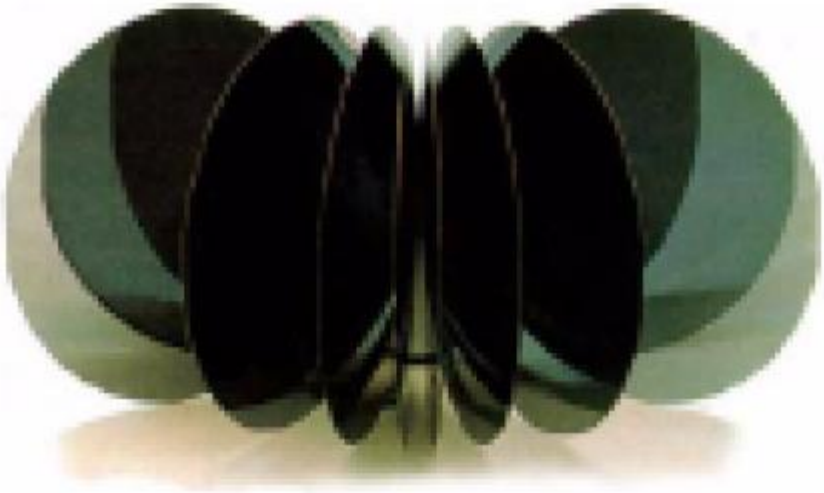
Motivação – Indústria de Circuitos Integrados



Obtido em http://www.amd.com

Motivação – Indústria de Circuitos Integrados

- **SiO_2, átomos de silício e oxigênio ligados por seus elétrons.**
- **O_2 é retirado em laboratório, e os átomos de silício resultantes formam cristal de silício puro.**
- **Próximo ao zero absoluto, os elétrons de silício se ocupam apenas em manter a estrutura do cristal.**
- **Aumentando para temperatura ambiente, átomos de Si vibram o suficiente para gerar energia térmica possibilitando seus elétrons saltar para camada de condução.**
- **Cristal de Silício a ser "fatiado". Diâmetro varia de 10 a 30 cm.**
- **Wafers de silício (fatias) com espessura em torno de 1mm.**



Tecnologia CMOS: fabricação

Processo de fotolitografia

-***Depósito de produto químico (se altera na presença de luz) na superfície do chip;***
-***Com lente micro, luz altera regiões do material com produto químico;***
-***Solvente remove regiões alteradas;***
-***Regiões não atingidas pela luz permanecem, formando transistores;***
-***Processo se repete, com outros produtos, formando também isoladores e conexões.***

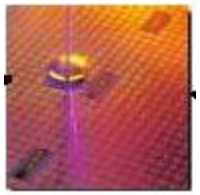
Oxidação

Máscara Óptica

Exposição UV (*stepper exposure*)

Revestimento foto-resistivo

Desenvolvimento foto-resistivo



Ataque ácido

Girar, lavar, secar (*spin, rinse, dry*)

Remoção do revestimento foto-resistivo (*ashing*)

Outras etapas do processo

Portas Lógicas Básicas e Tabela Verdade

OR

A	B	S
0	0	0
0	1	1
1	0	1
1	1	1

S = A or B

S = A + B

S = A | B

AND

A	B	S
0	0	0
0	1	0
1	0	0
1	1	1

S = A and B

S = A . B

S = A & B

XOR

A	B	S
0	0	0
0	1	1
1	0	1
1	1	0

S = A xor B

S = A ⊕ B

S = A ^ B

NOT

A	S
0	1
1	0

S = not A

S = $\overline{A}$

S = ! A

Tarefa a ser realizada na aula prática

Tarefa a ser realizada na aula prática

- **Utilizando a ferramenta Quartus II da Altera, criar um projeto de circuito digital (esquemático) com as 4 portas lógicas apresentadas no slide 9. Pode ser um circuito qualquer, com apenas uma das portas lógicas, ou um meio somador usando duas das portas, por exemplo.**

- **Realizar a simulação no Modelsim, visando descobrir a tabela verdade do circuito desenvolvido.**

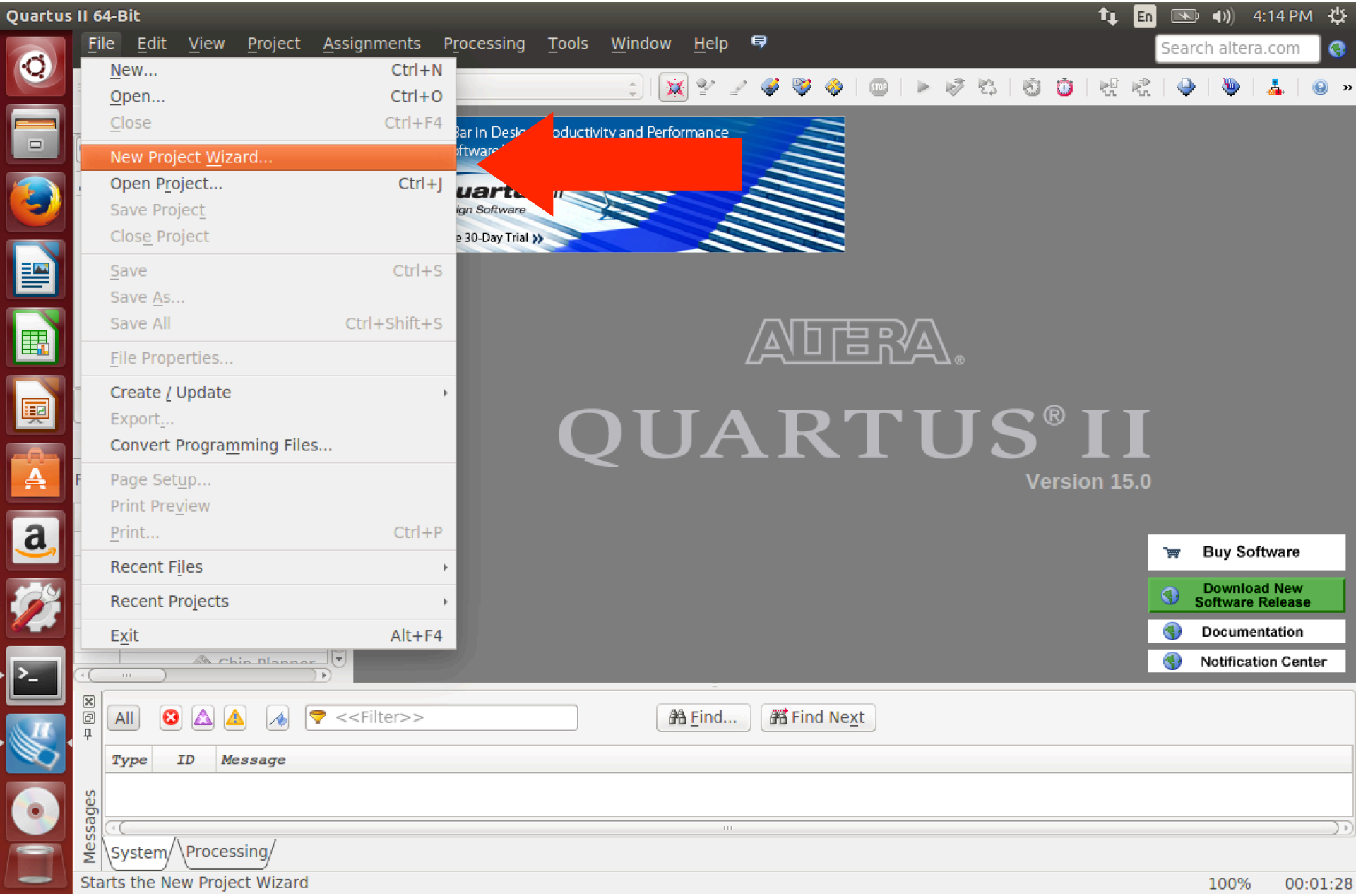
- **O objetivo principal dessa aula prática é possibilitar que o aluno tenha um primeiro contato com as ferramentas de desenvolvimento a serem utilizadas durante o semestre.**

- **Seguir o tutorial existente na seção "Laboratory assignment" do capítulo 1 do livro texto.**

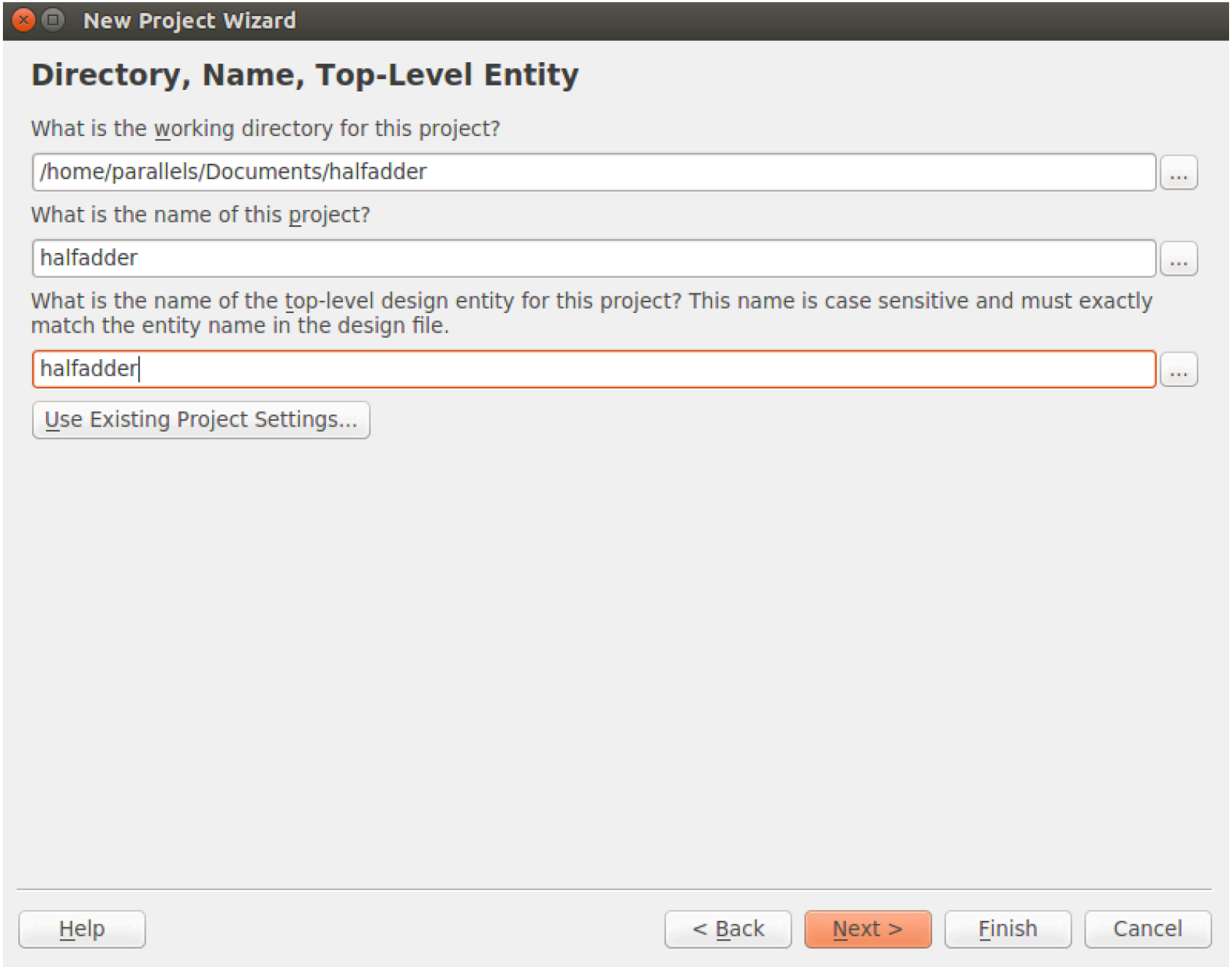
- **Um resumo desse tutorial está incluído nos slides a seguir.**

1. Edição do circuito

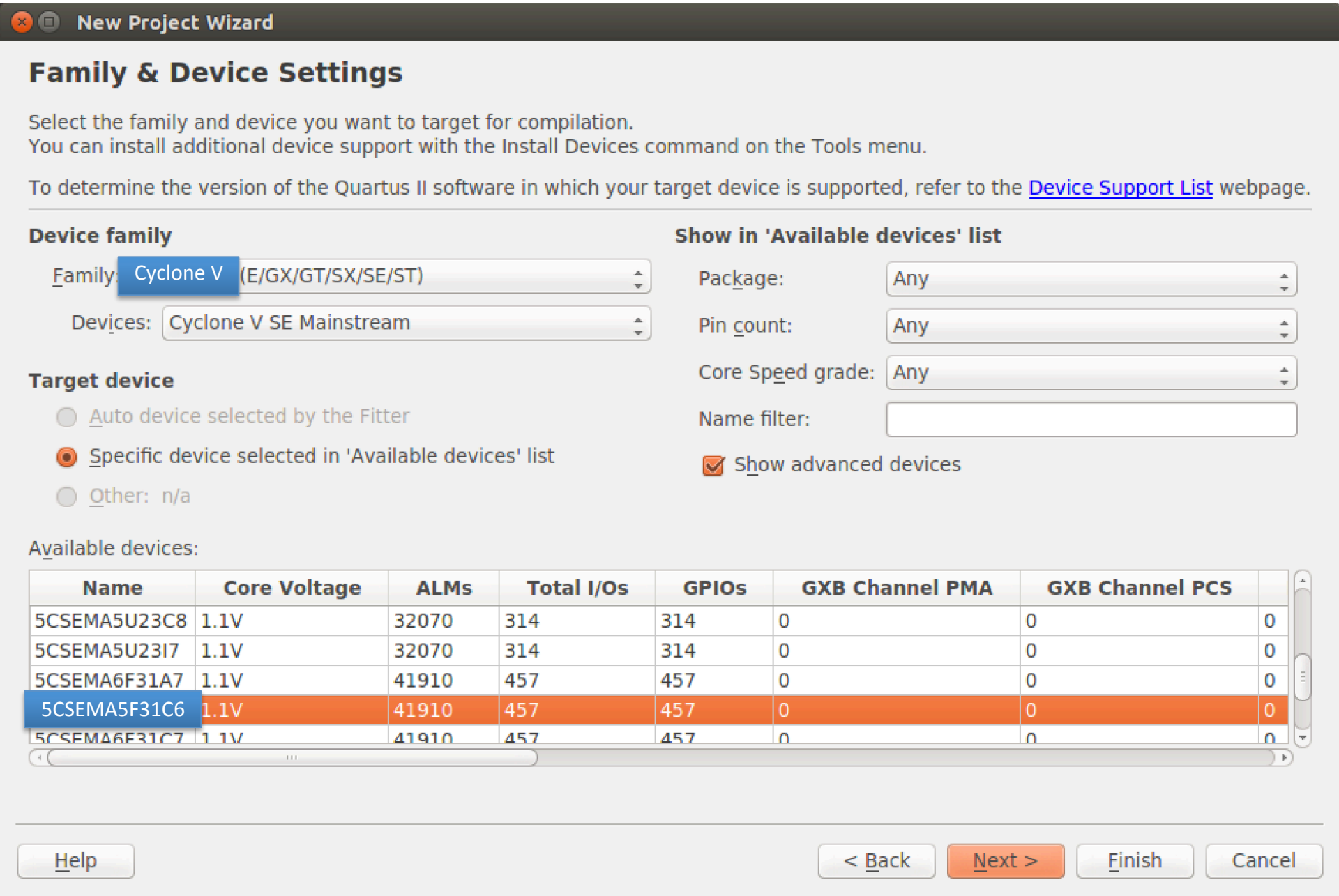
Criar um novo projeto



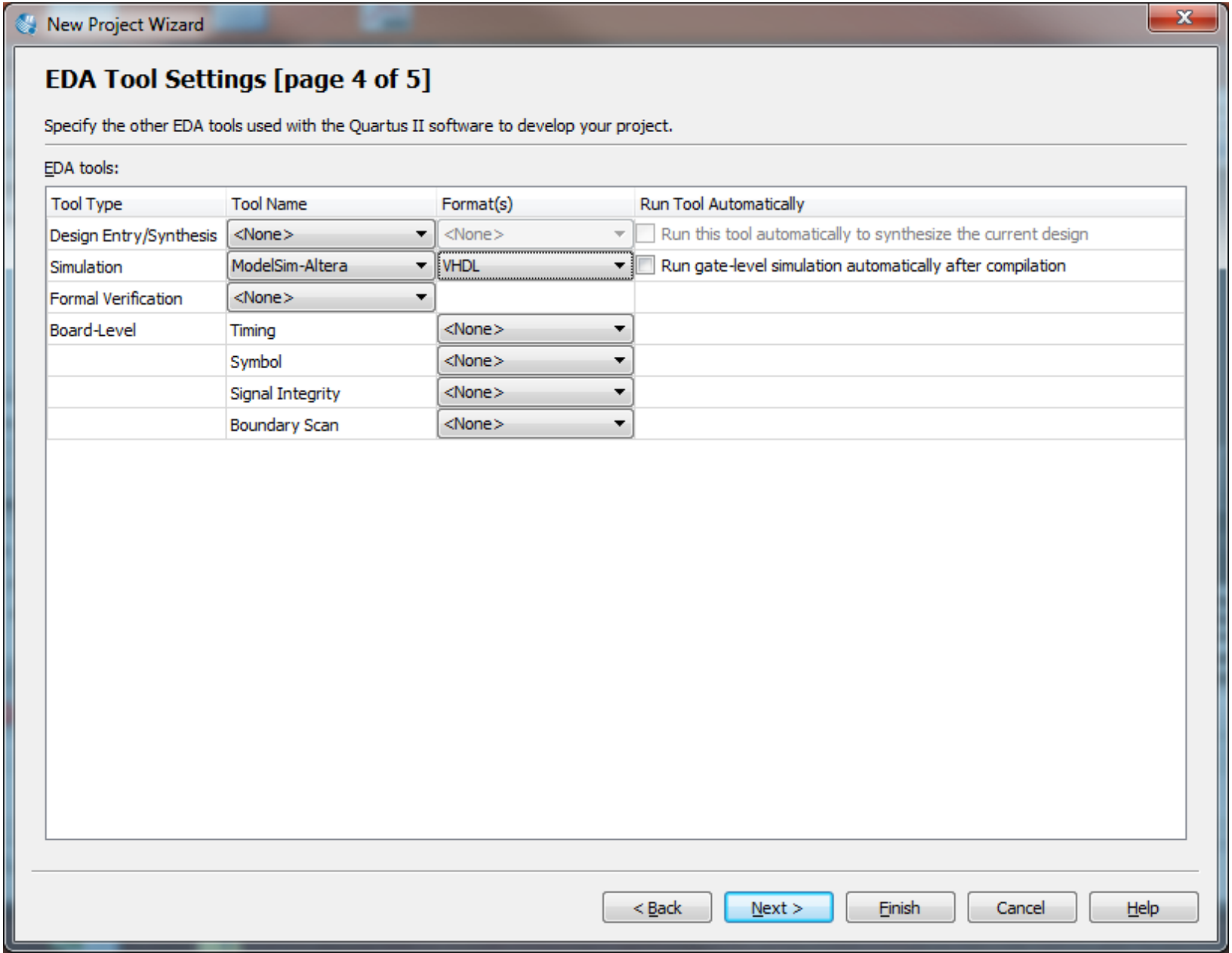
Escolher a pasta e nome do projeto



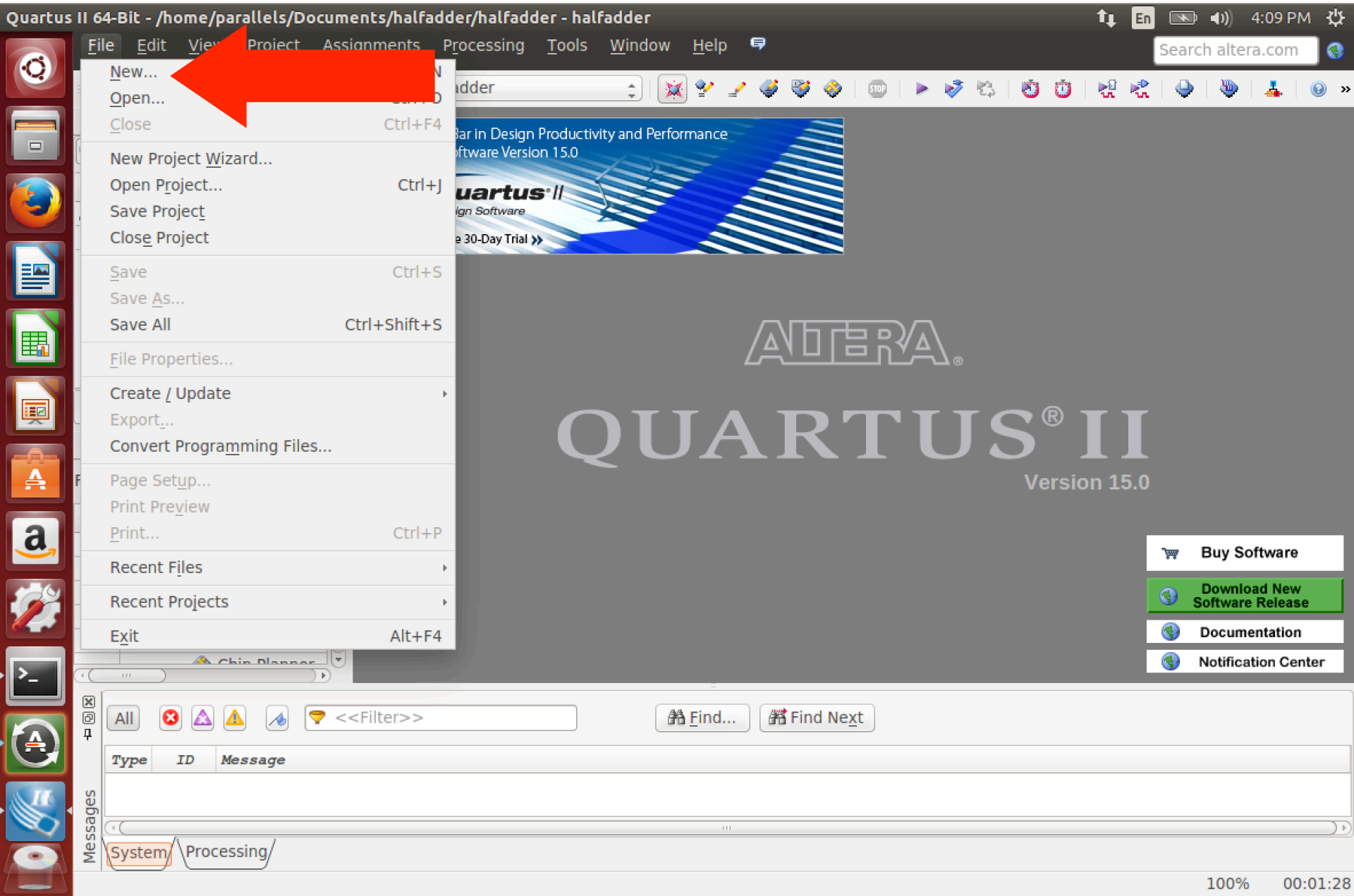
Selecionar o dispositivo alvo (FPGA)



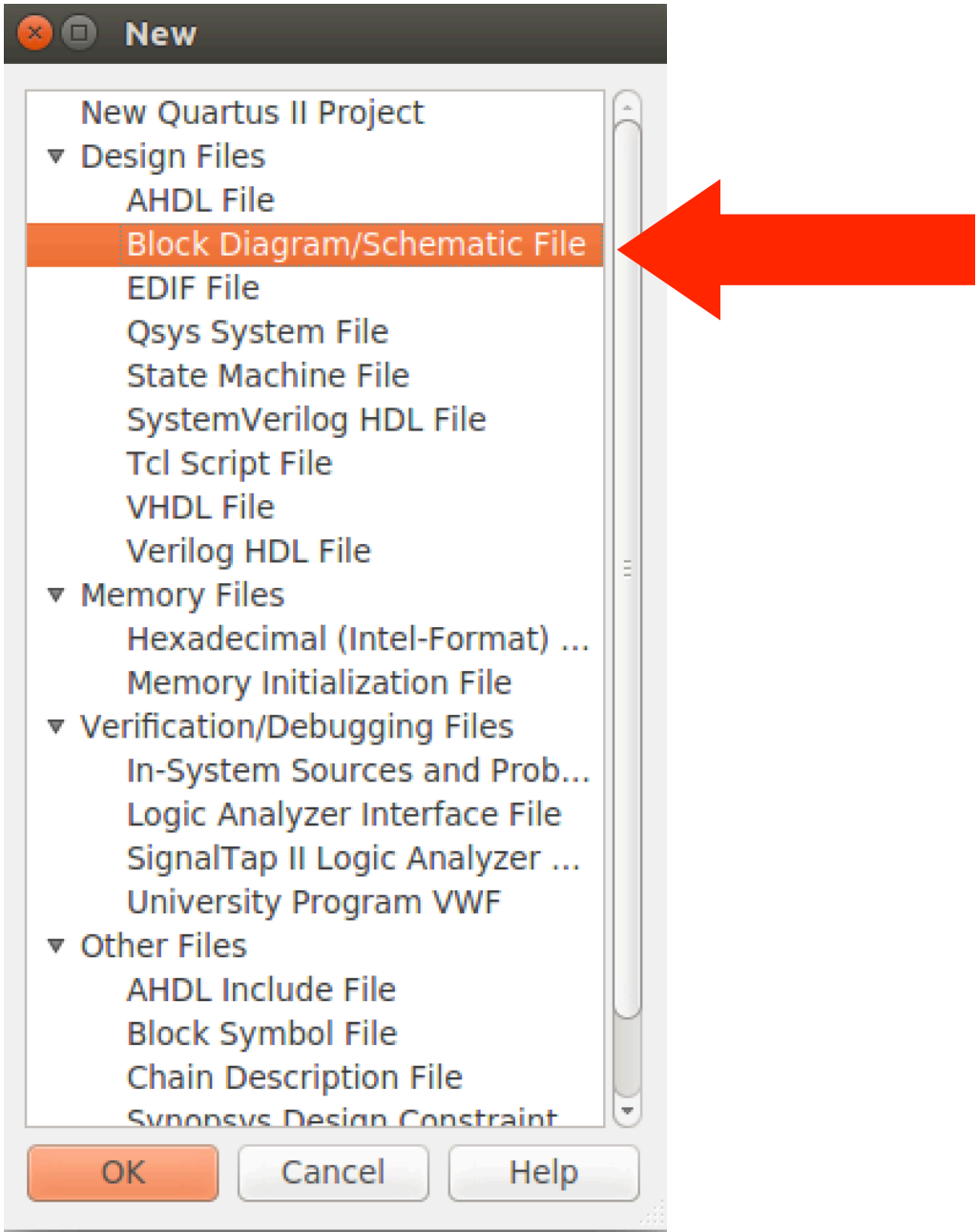
Configurar a ferramenta de simulação



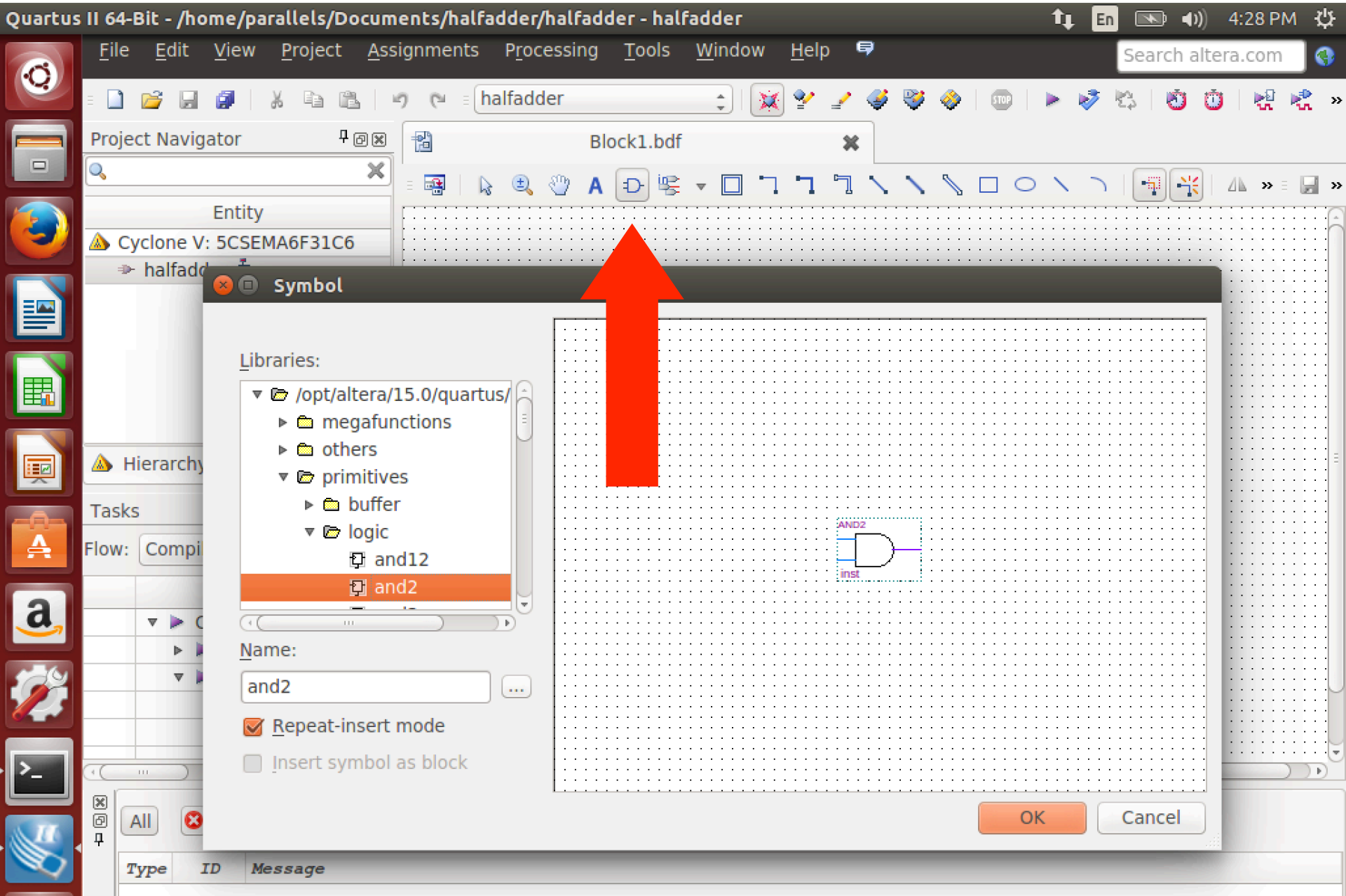
Criar um novo diagrama de esquemático



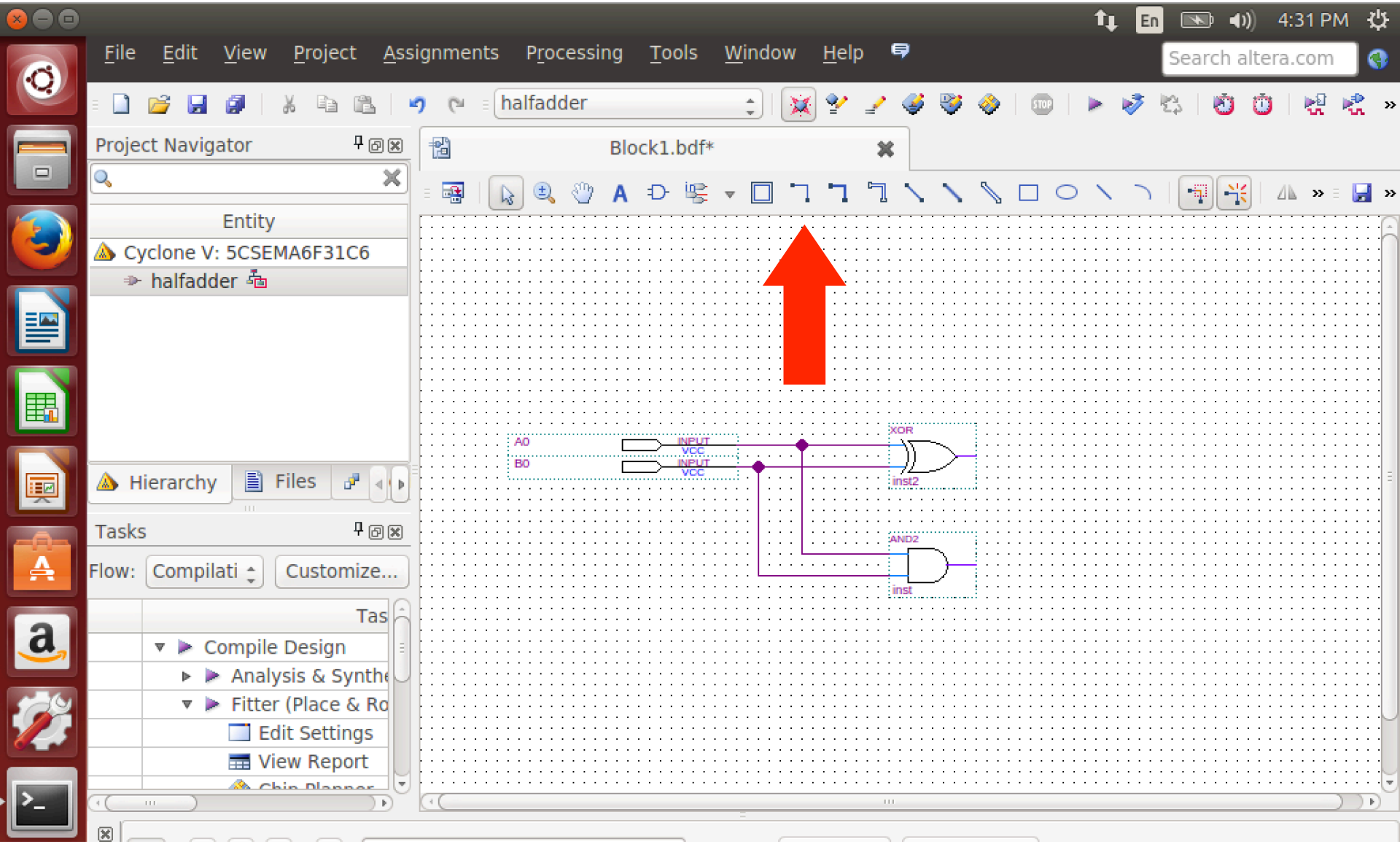
Criar um novo diagrama de esquemático



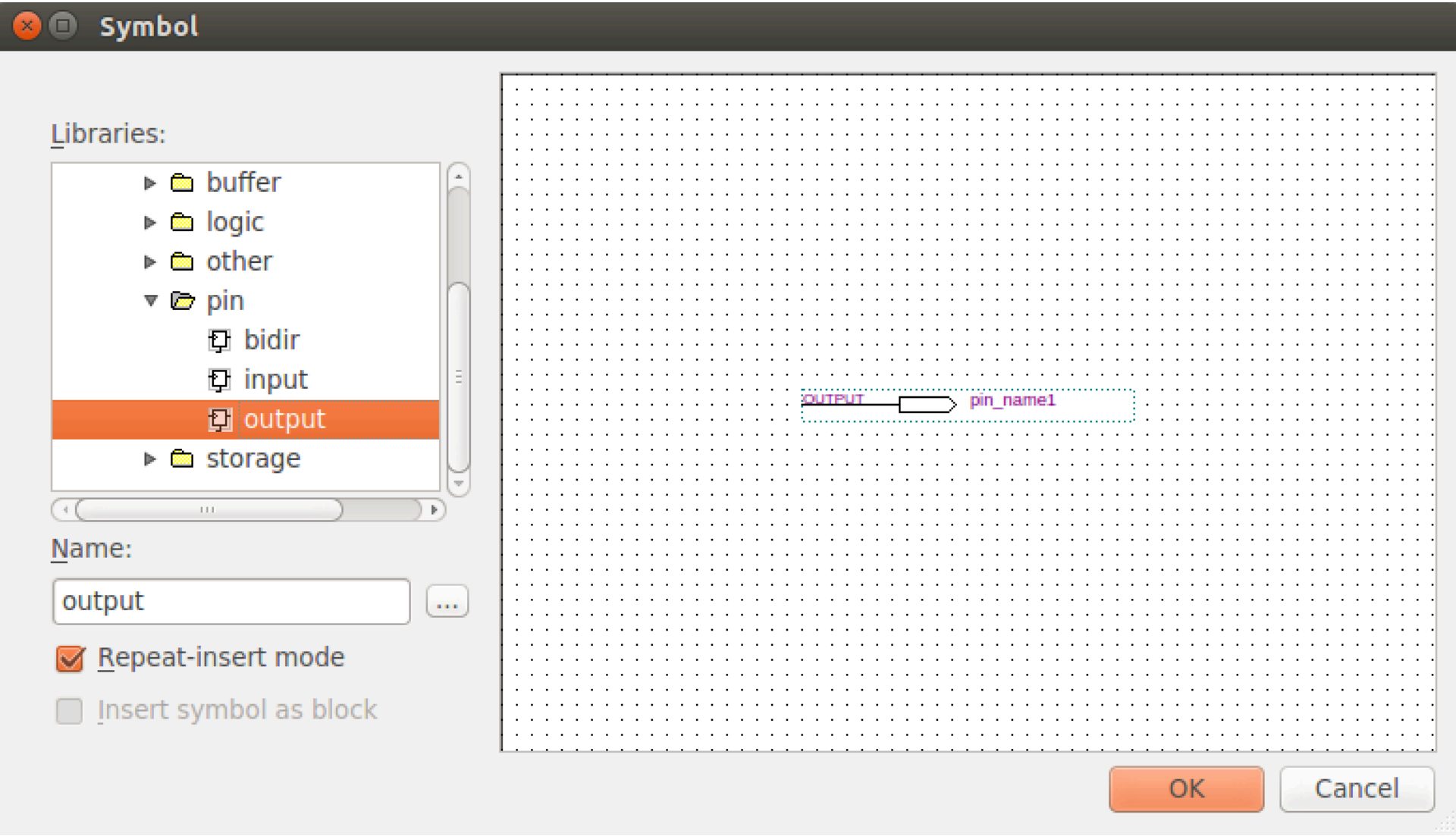
Entrar com as portas lógicas



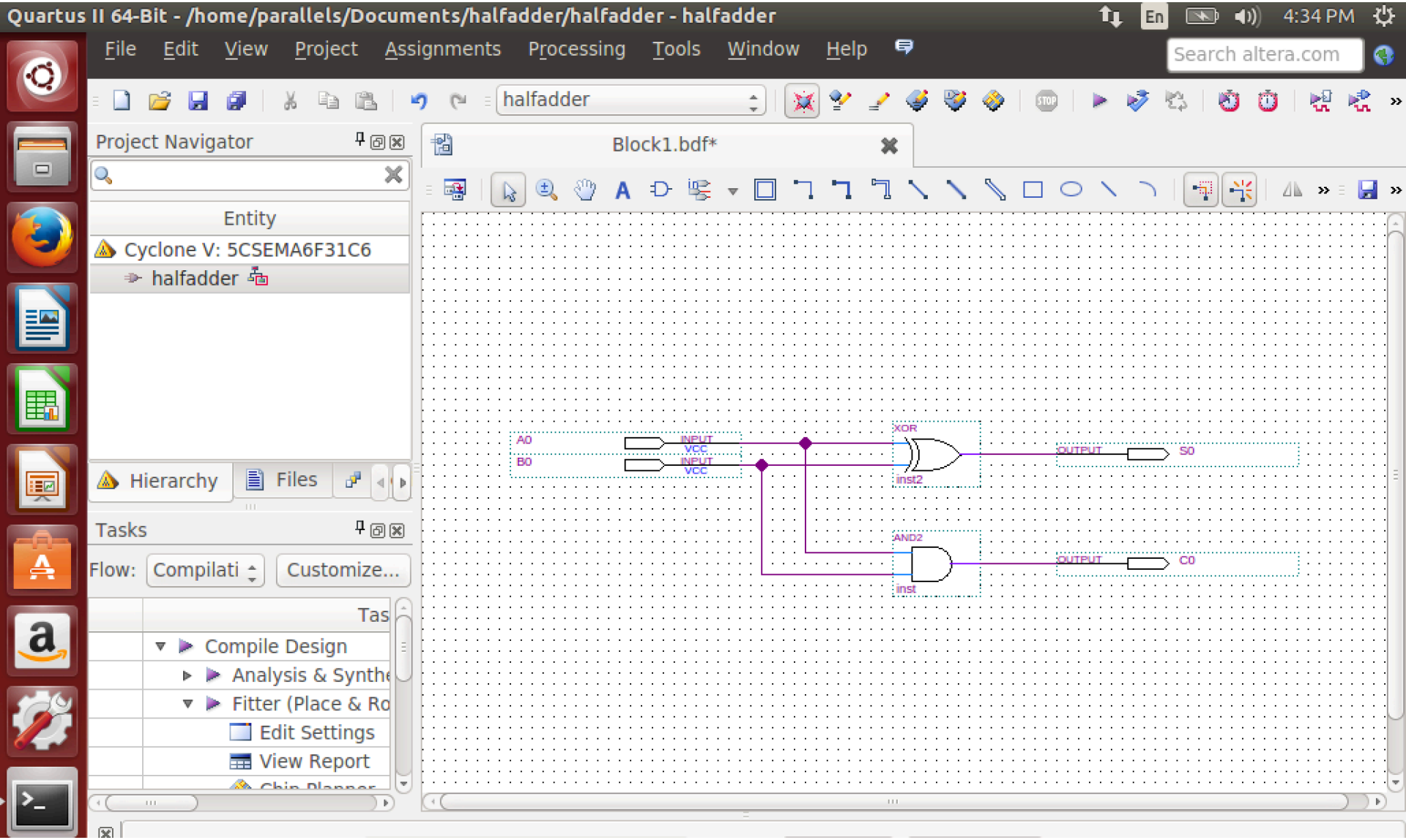
Realizar as conexões das portas lógicas



Entrar com os pinos de entrada e saída

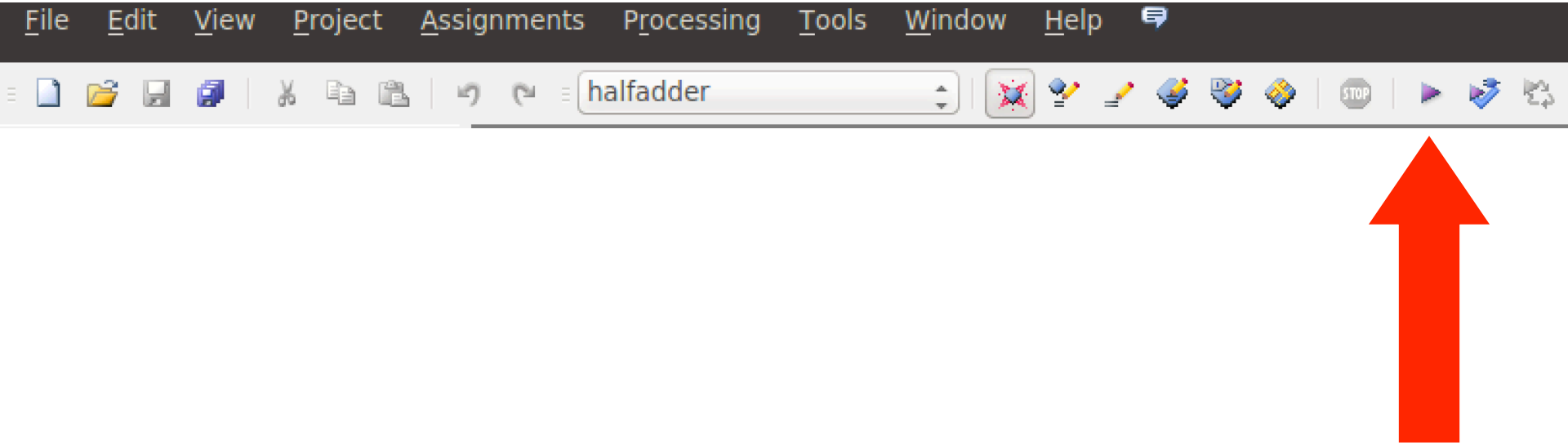


Conectar os pinos de entrada e saída e as portas lógicas



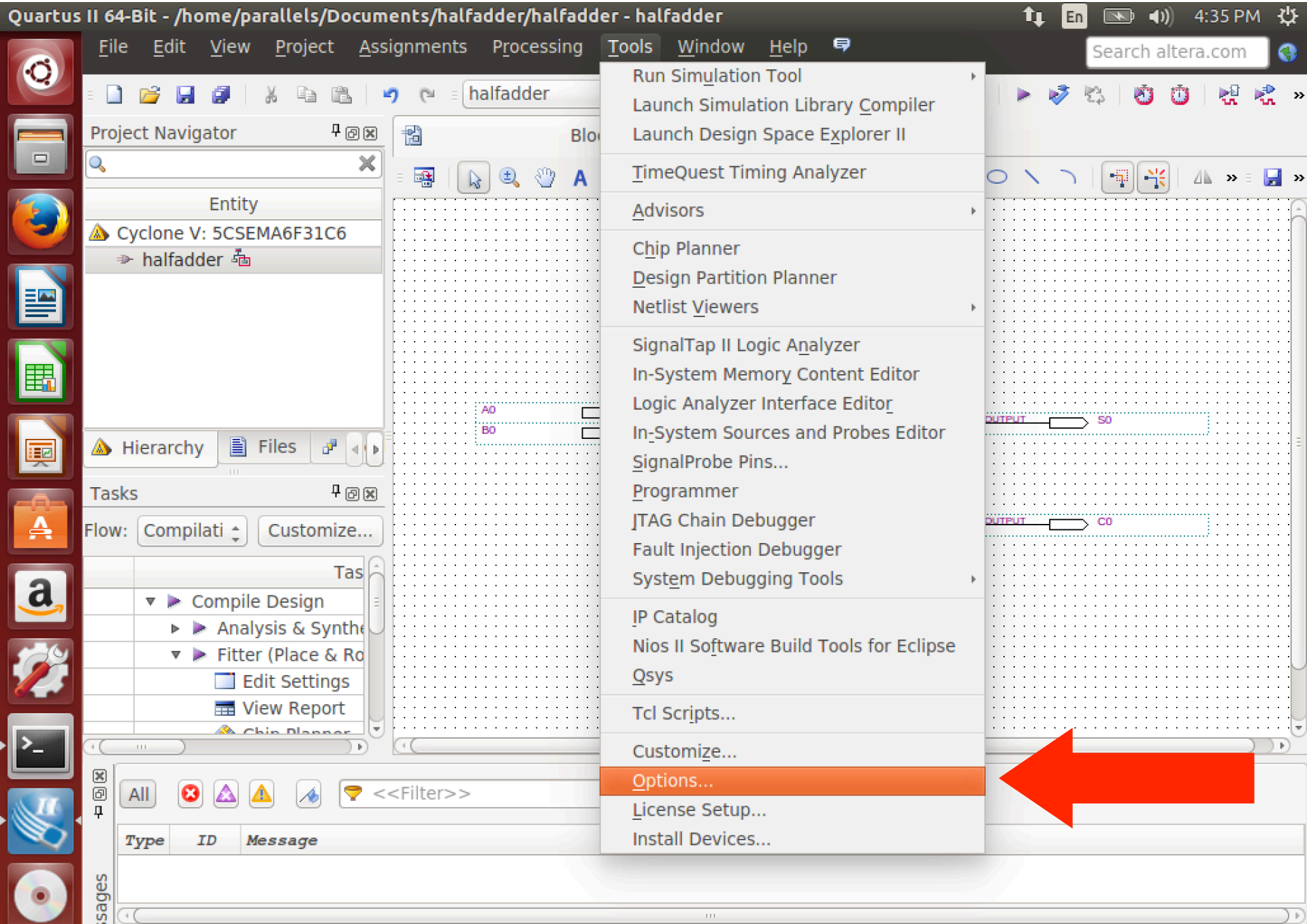
2. Síntese – criação do "hardware"

Realizar a síntese do circuito (*compile*)

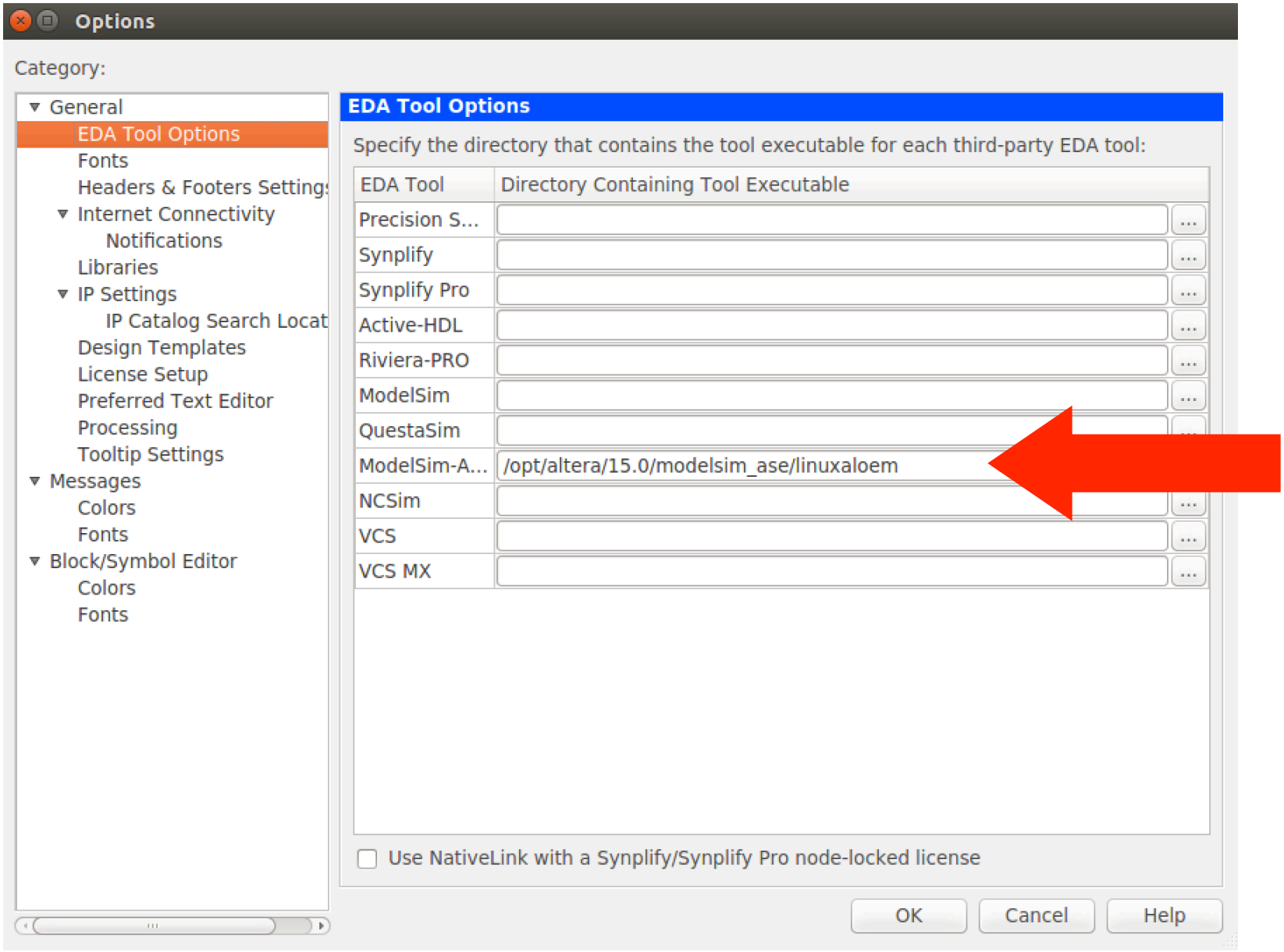


3. Simulação

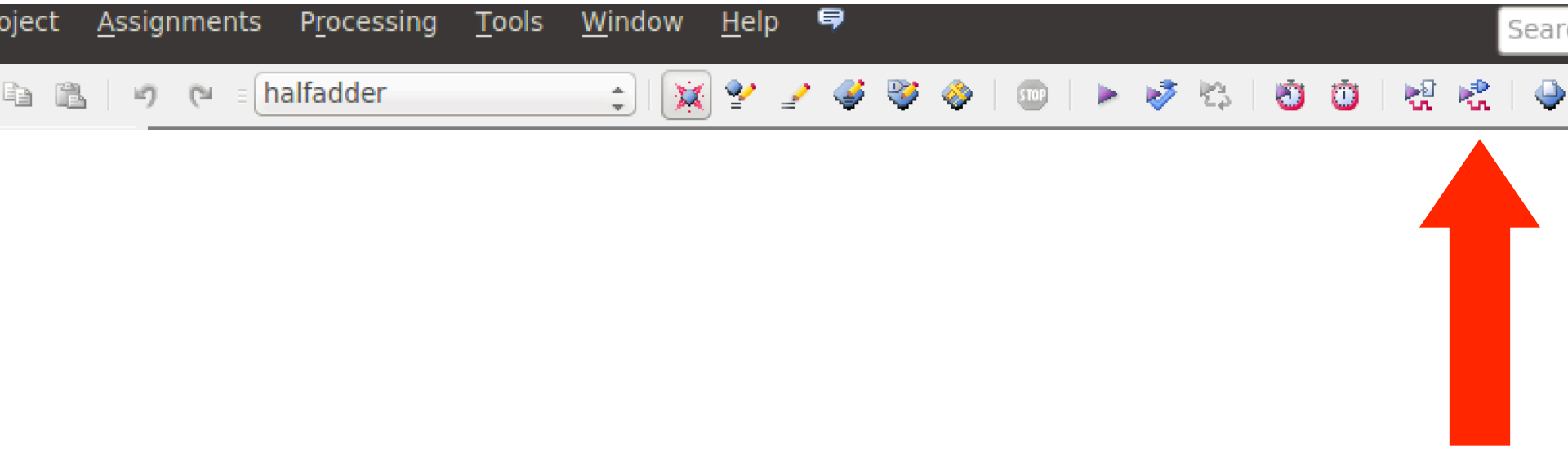
Configurar a ferramenta de simulação



Configurar a ferramenta de simulação

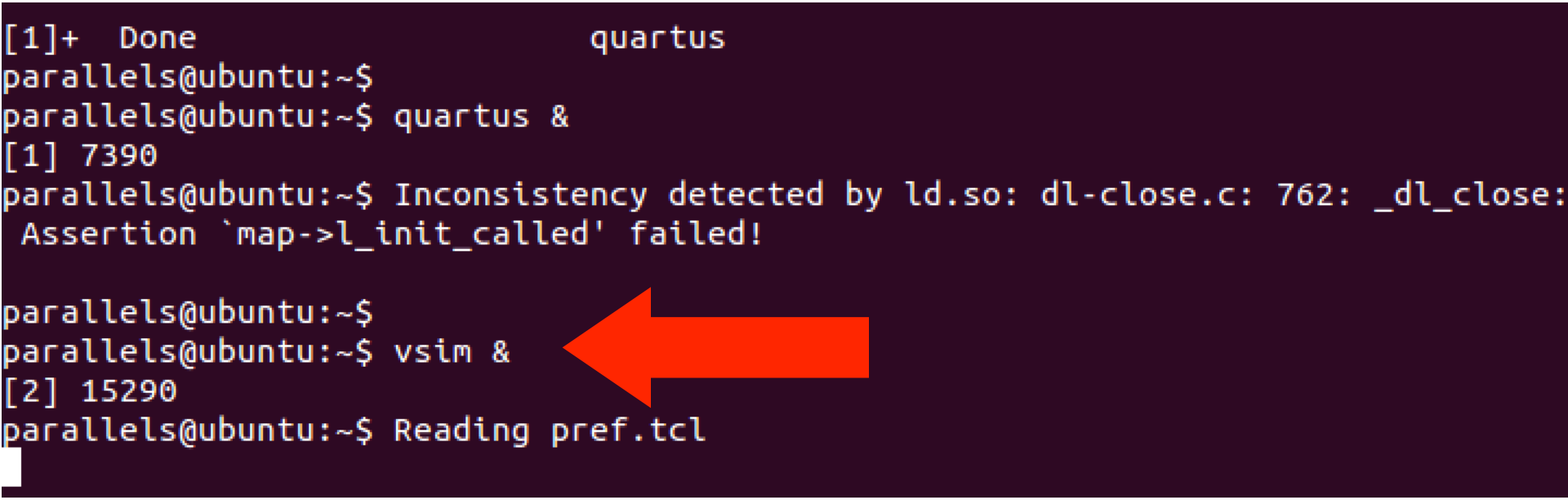


Executar o ModelSim (ferramenta de simulação)

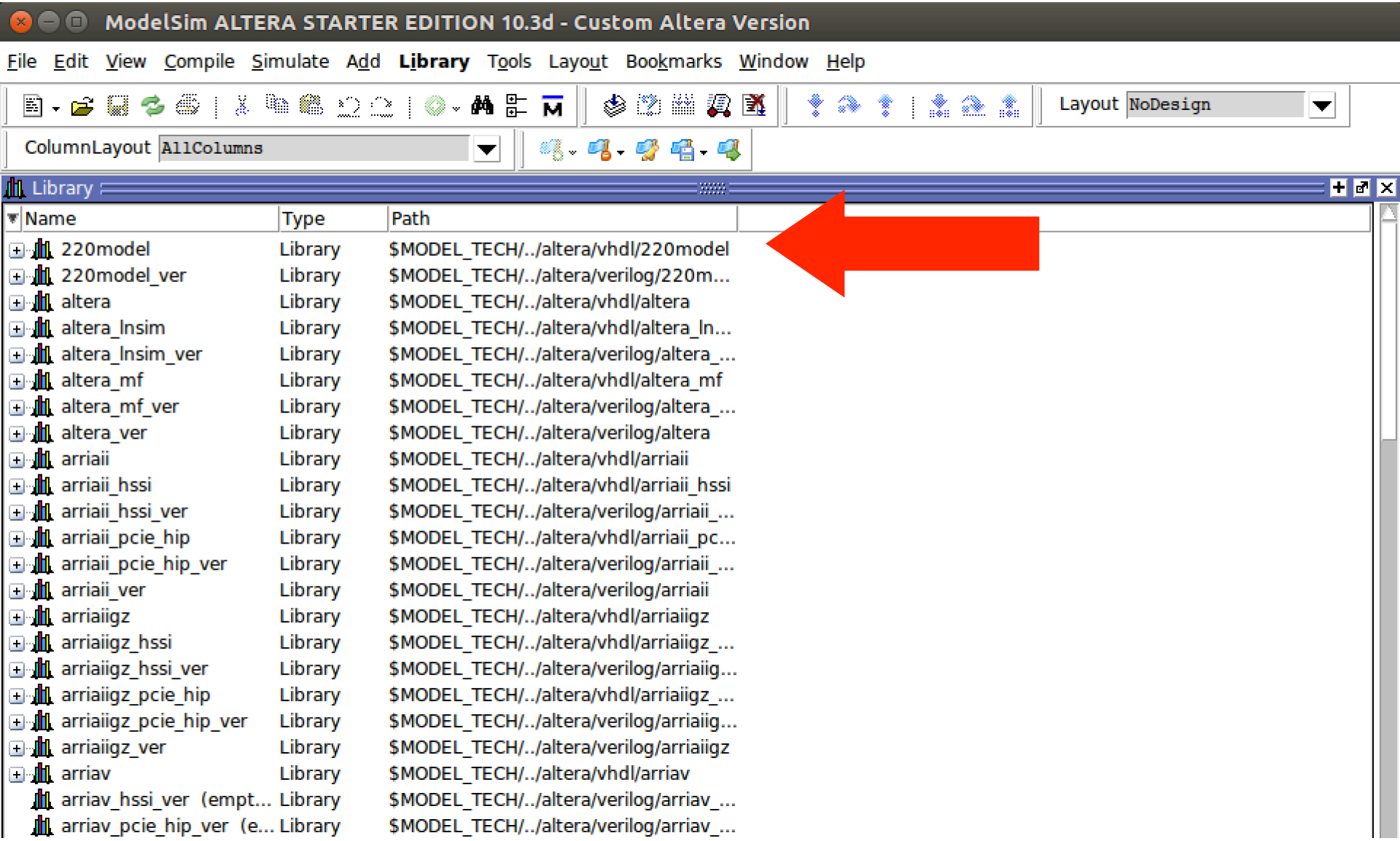


Executar o ModelSim (ferramenta de simulação)

Obs. Caso o ModelSim nao venha a ser executado ao pressionar o botão indicado, digitar *vsim* no terminal do Linux, para executar o ModelSim via linha de comando.

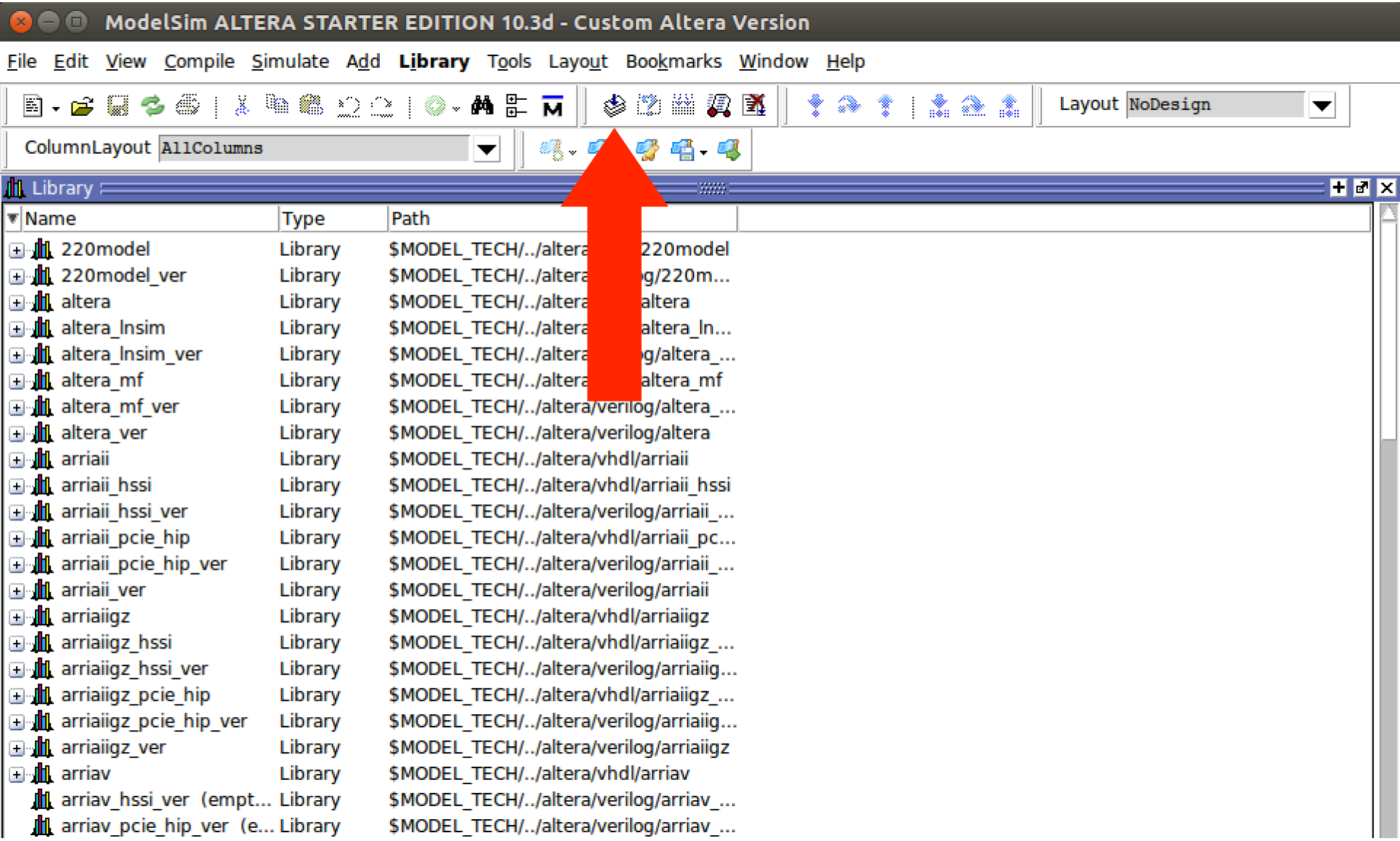


Obs. Se a biblioteca work não for apresentada:



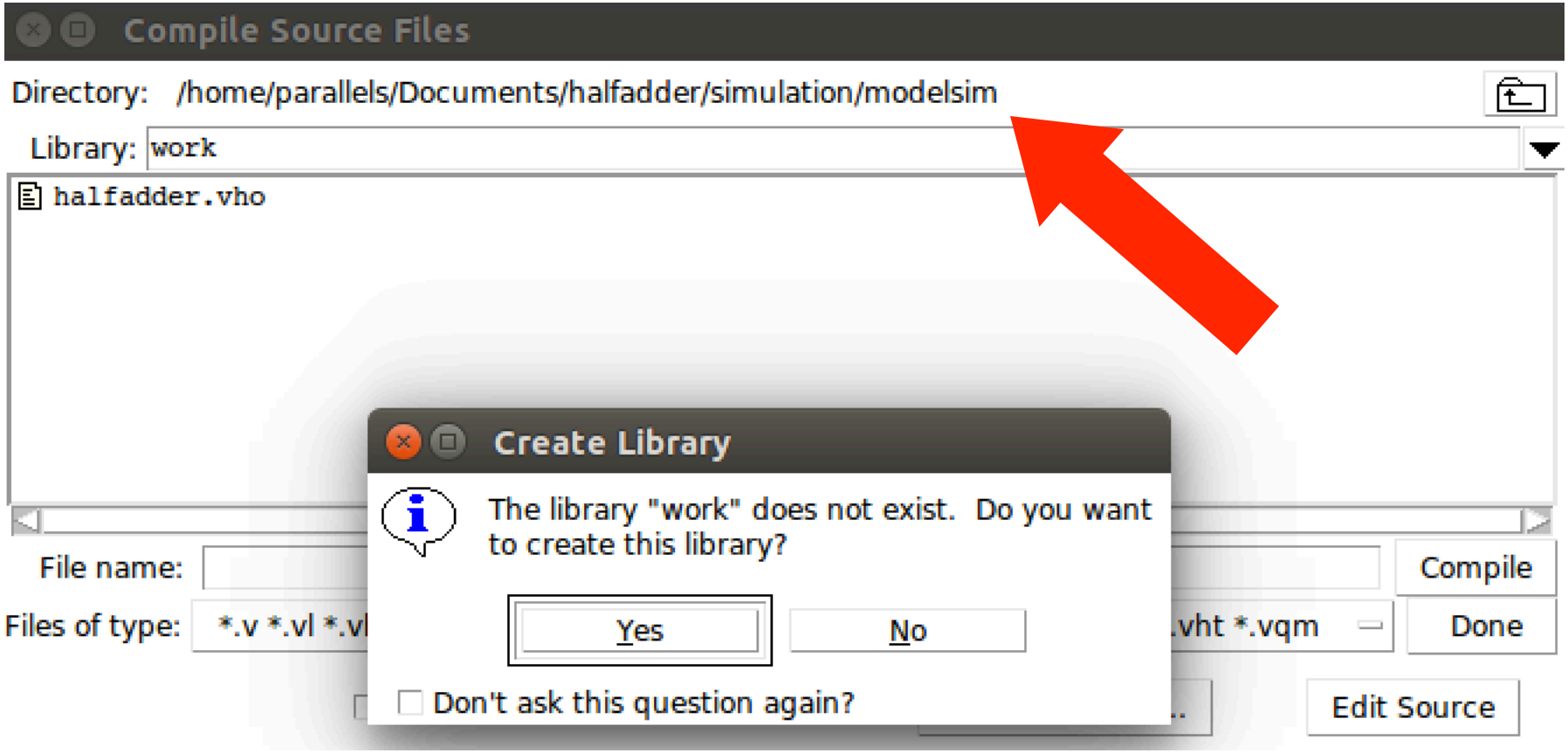
Obs. Se a biblioteca work não for apresentada:

Pressionar o Compile, e procurar o arquivo criado.

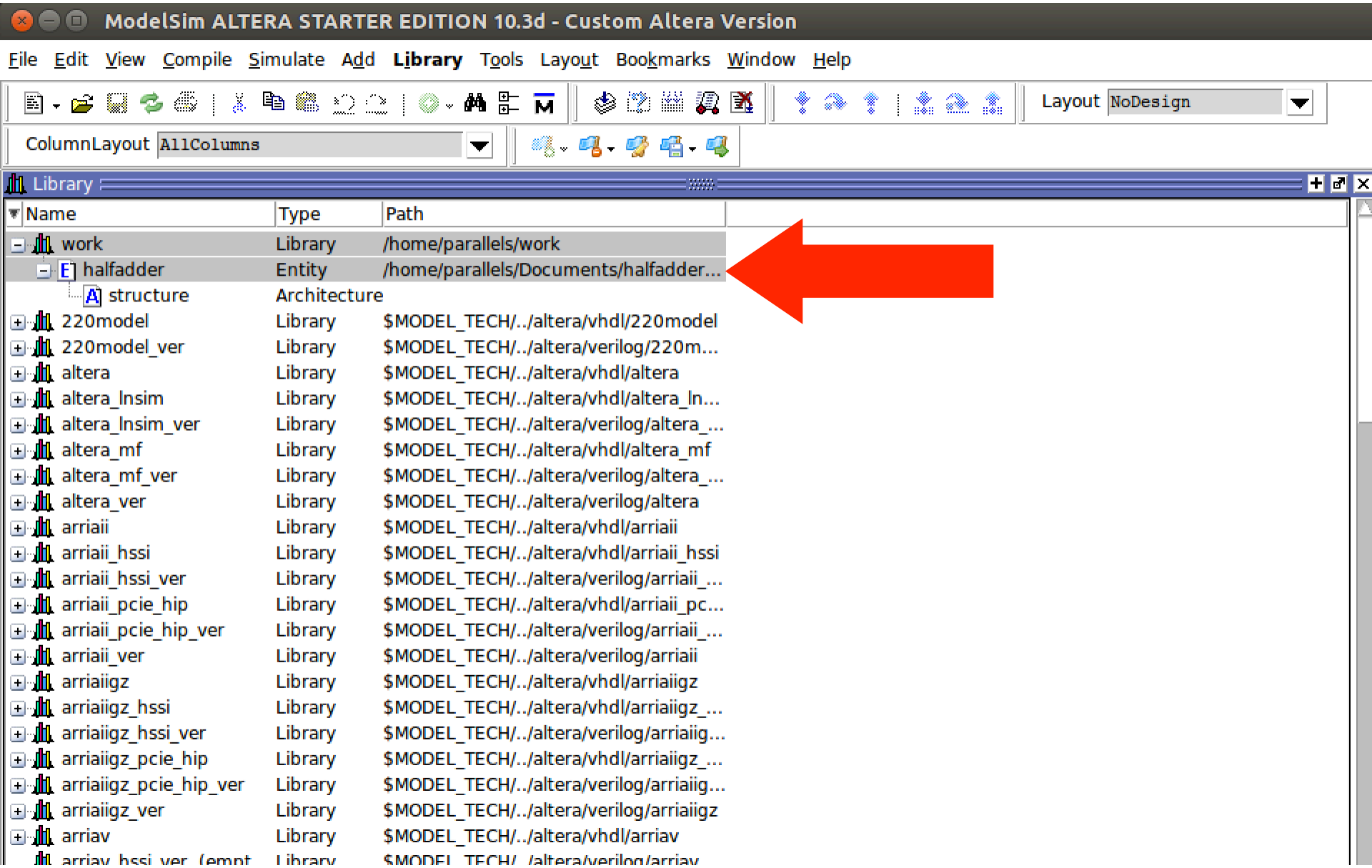


Obs. Se a biblioteca work não for apresentada:

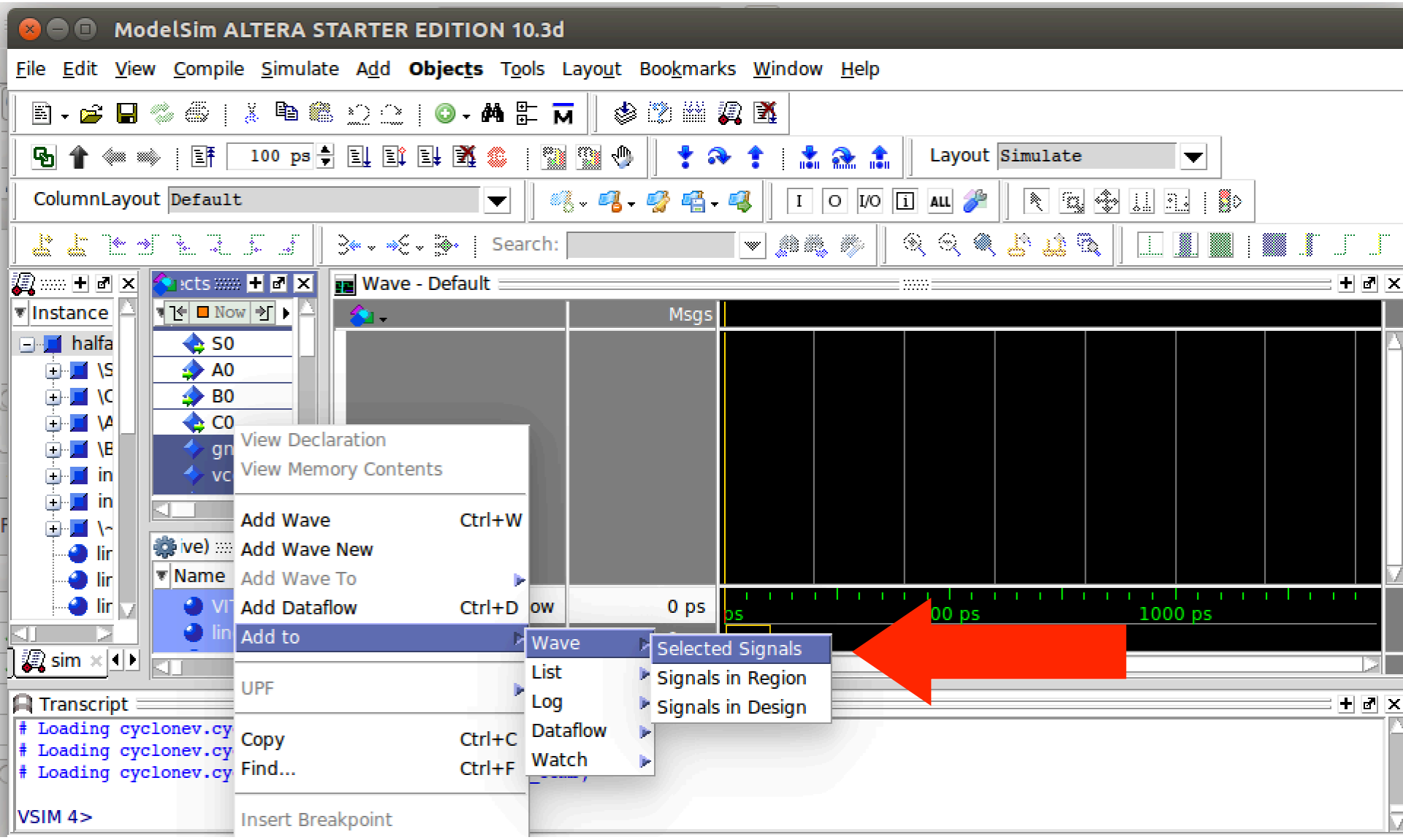
Pressionar o Compile, e procurar o arquivo criado no Quartus. Compilar (Compile) esse arquivo.



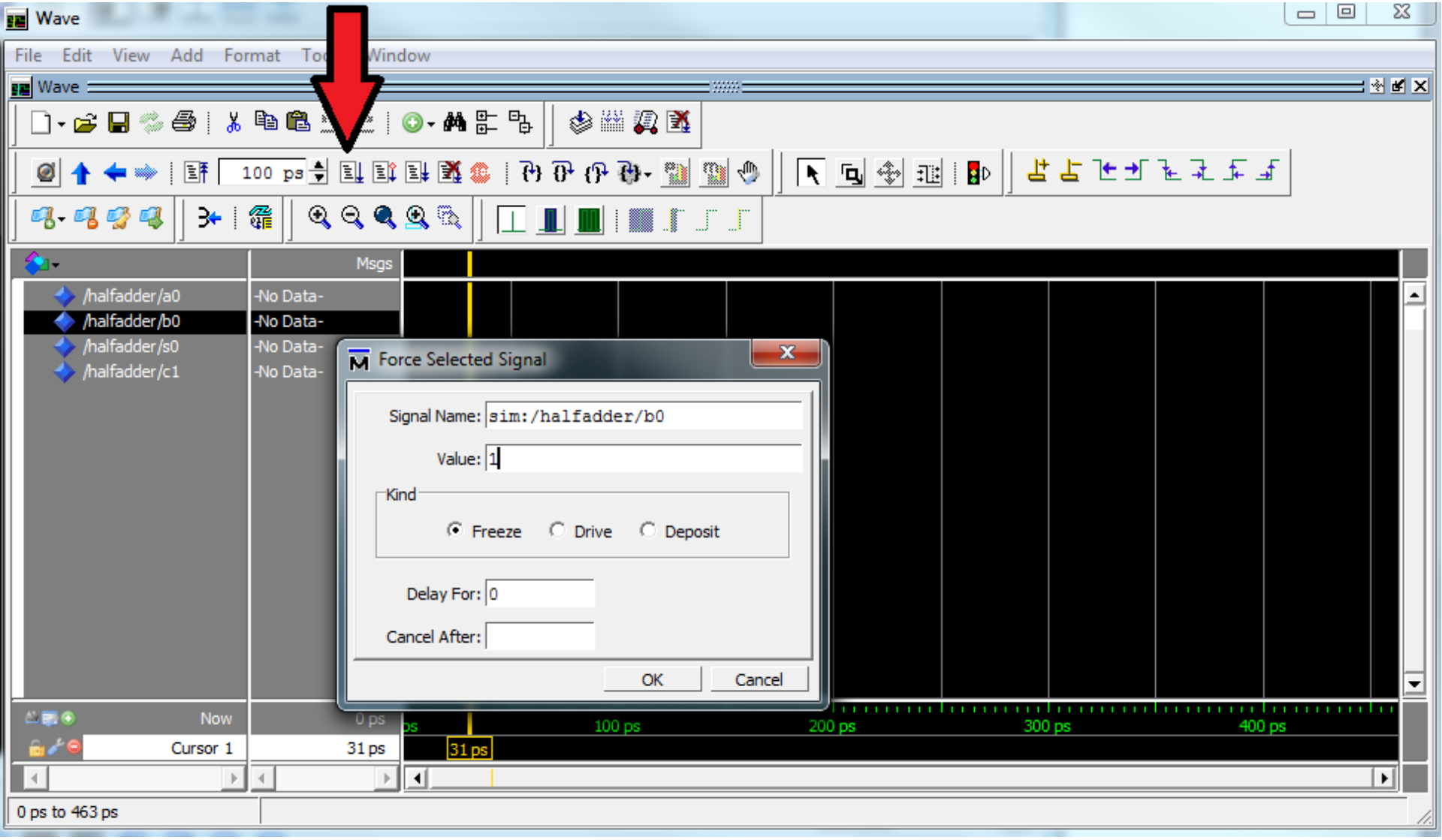
Selecionar o módulo a ser simulado



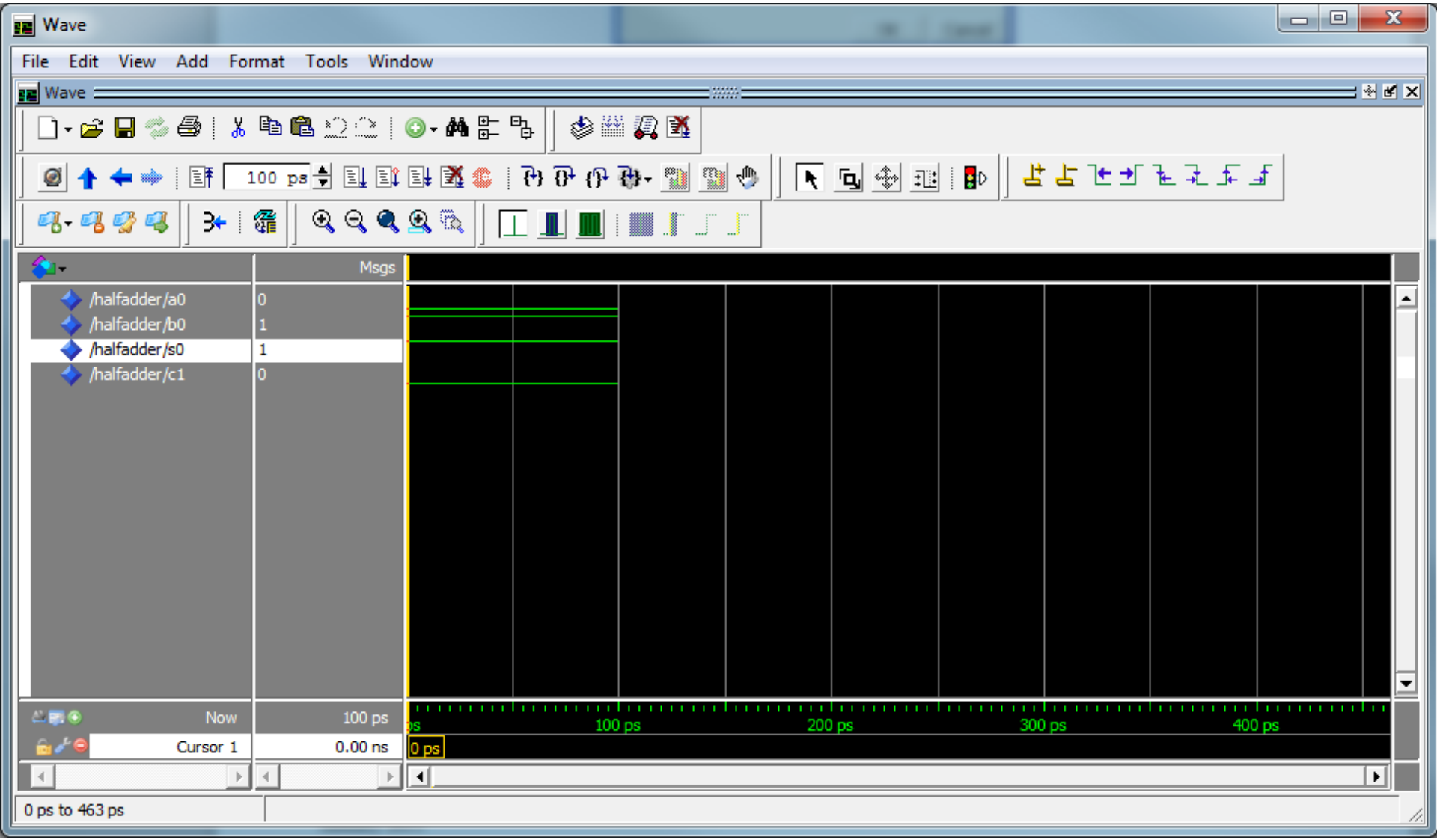
Adicionar os sinais de interesse ao diagrama de formas de onda



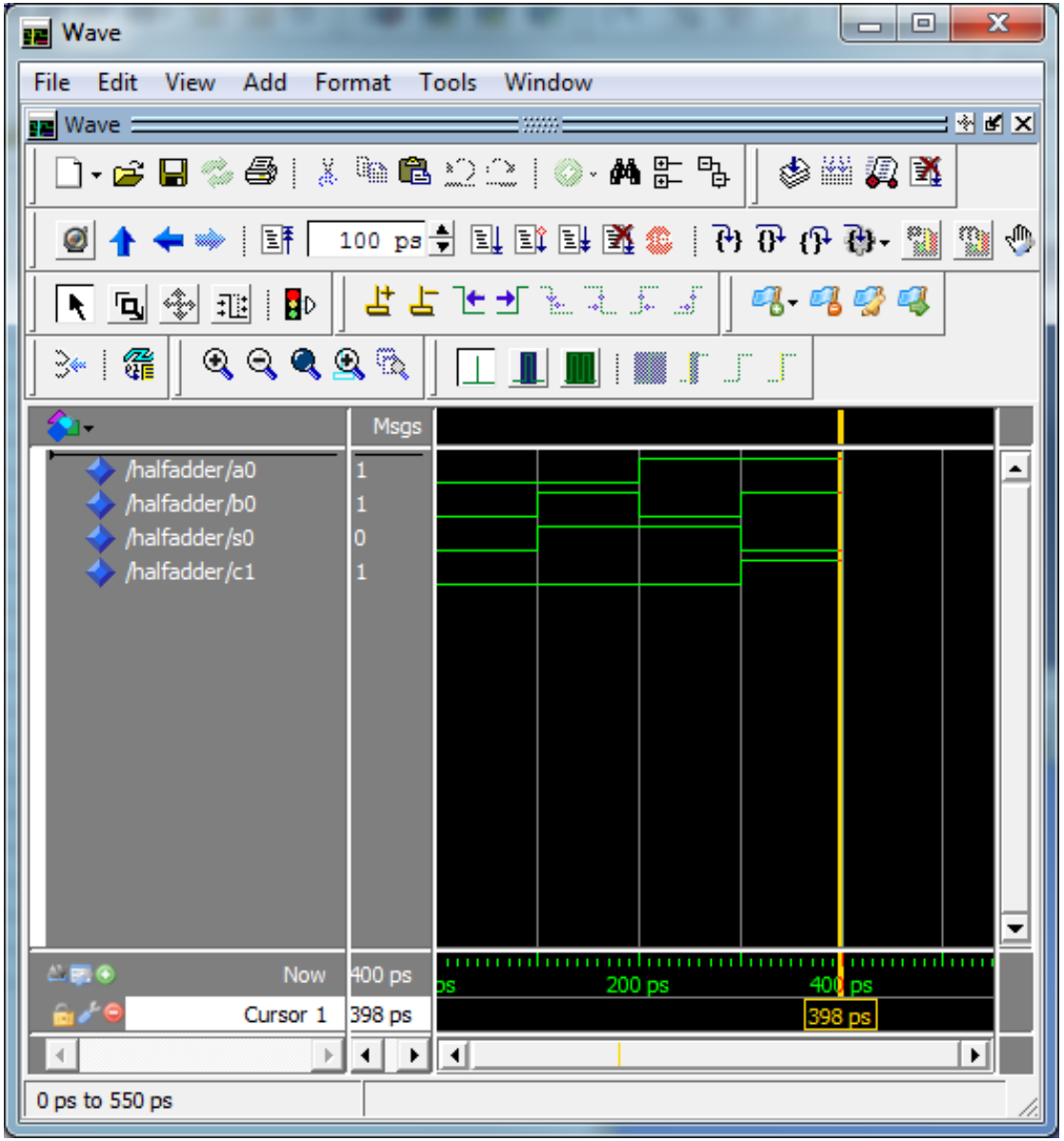
- **Fixar os sinais em ‘0’ ou ‘1’ utilizando o botão direito do mouse sobre o sinal desejado.**
- **Pressionar o botão *Run* indicado na figura.**



Para A0 = ‘0’ e B0 = ‘1’, o resultado da simulação será 0 + 1 = 1 (S0), com vai-um = ‘0’ (C0).



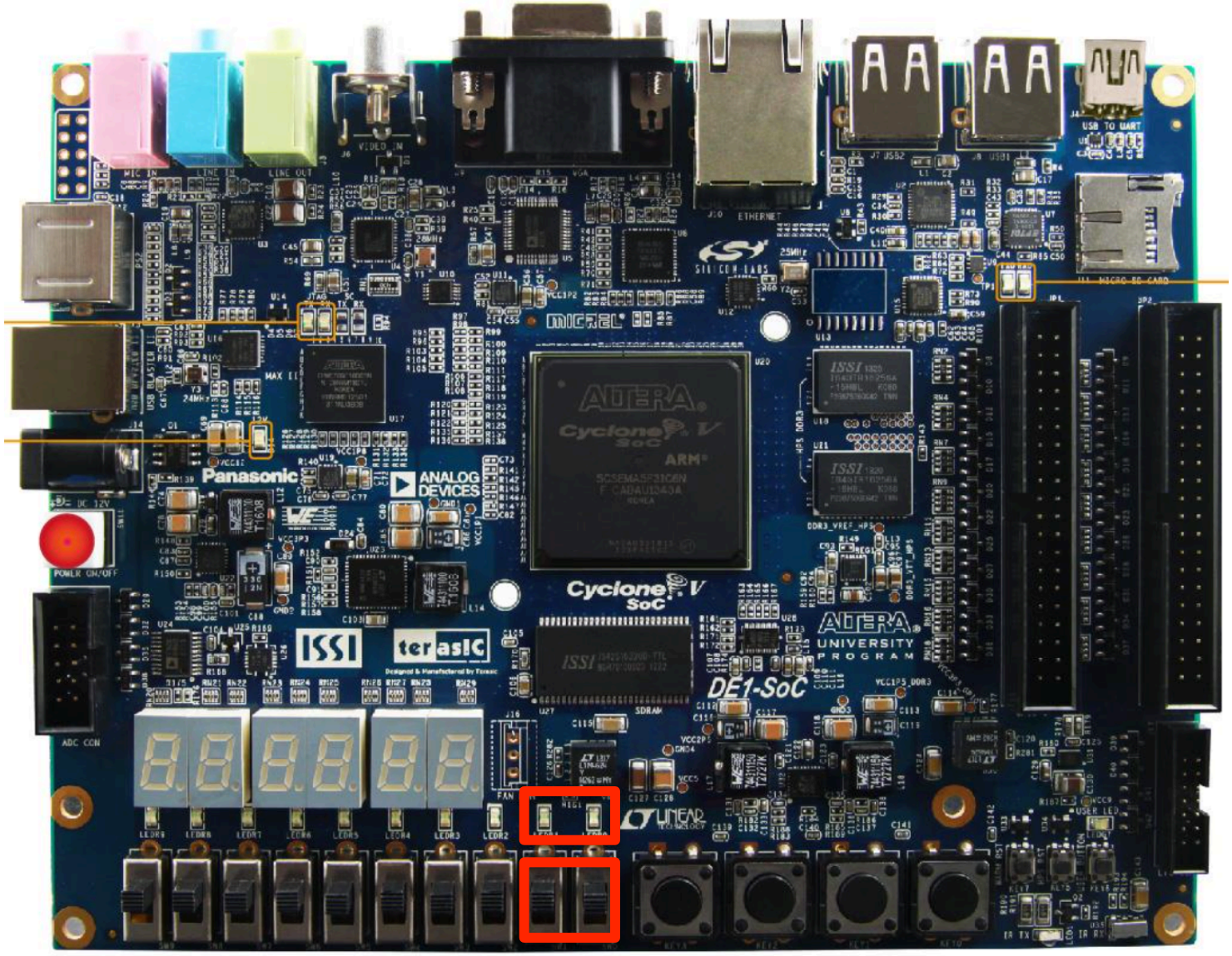
Resultado da simulação para todas as combinações de A0 e B0



4. Prototipação – Teste do circuito no kit de desenvolvimento

Testar o circuito na placa com o FPGA

Primeiro passo, associar os pinos do FPGA aos sinais de entrada e saída definidos no projeto (esquemático).



Testar o circuito na placa com o FPGA

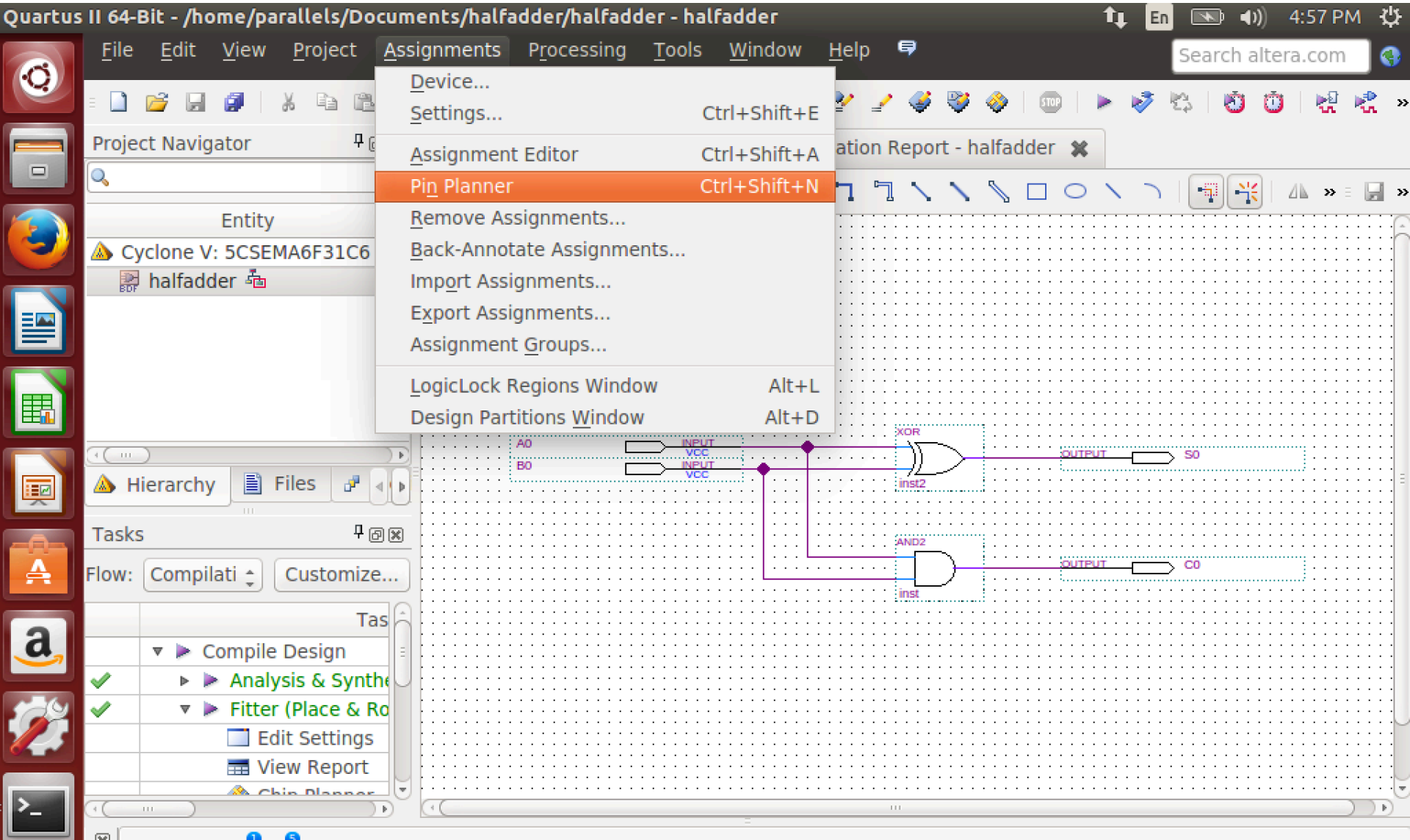
Primeiro passo, associar os pinos do FPGA aos sinais de entrada e saída definidos no projeto (esquemático).

a0 = SW0 = PIN_AB12
b0 = SW1 = PIN_AC12

s0 = LED0 = PIN_V16
c1 = LED1 = PIN_W16

Testar o circuito na placa com o FPGA

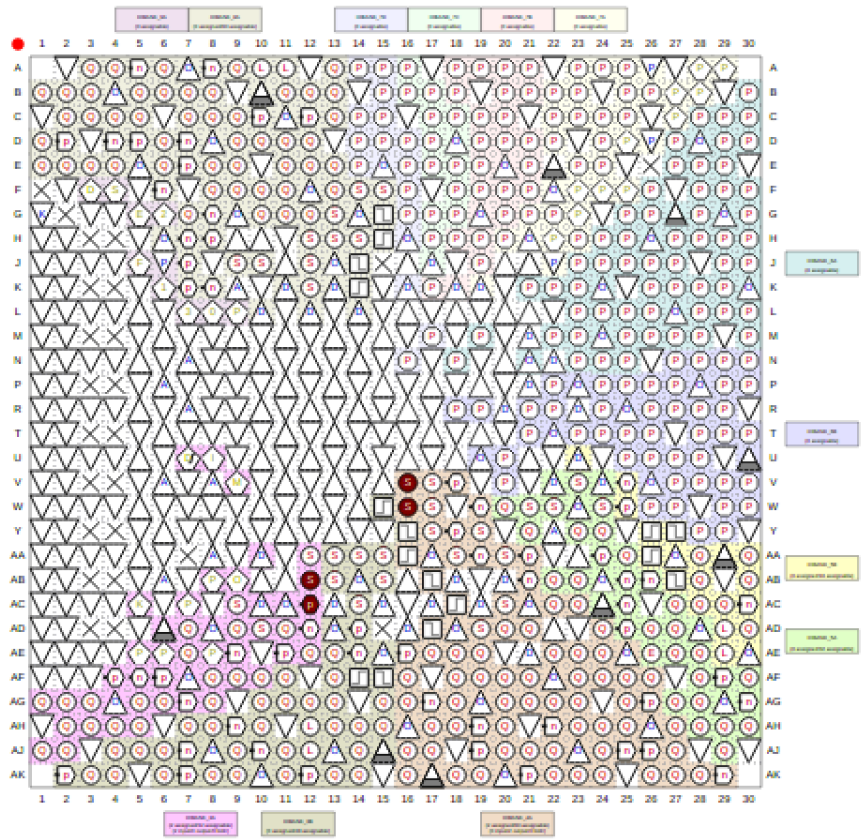
Primeiro passo, associar os pinos do FPGA aos sinais de entrada e saída definidos no projeto (esquemático).



Pinagem a ser utilizada no projeto

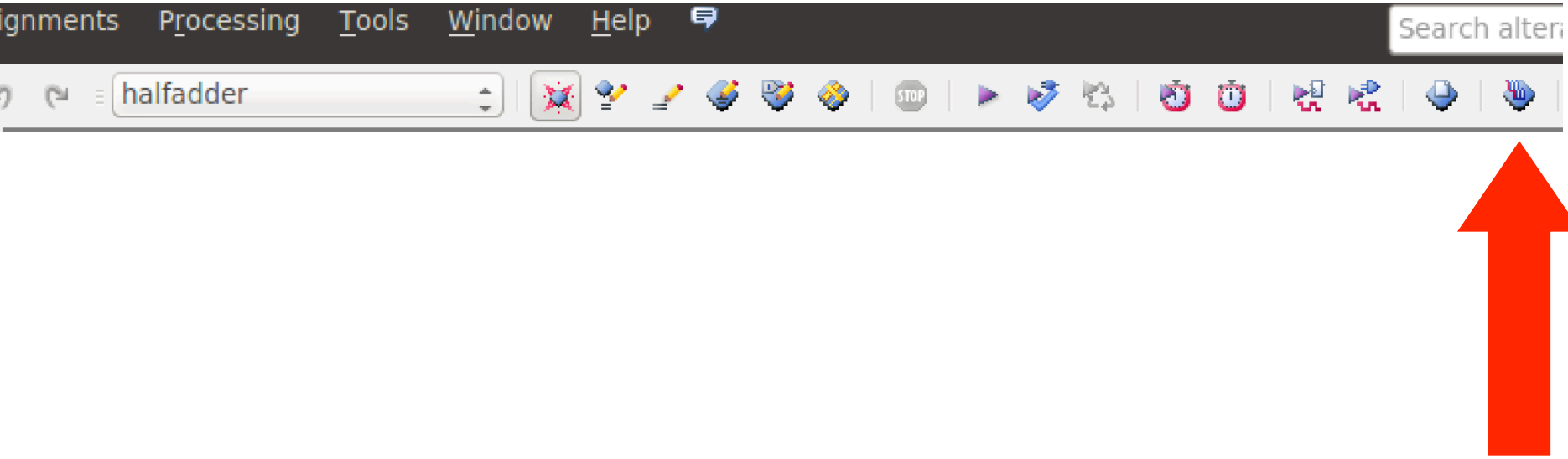
a0 = SW0 = PIN_AB12
b0 = SW1 = PIN_AC12

s0 = LED0 = PIN_V16
c1 = LED1 = PIN_W16

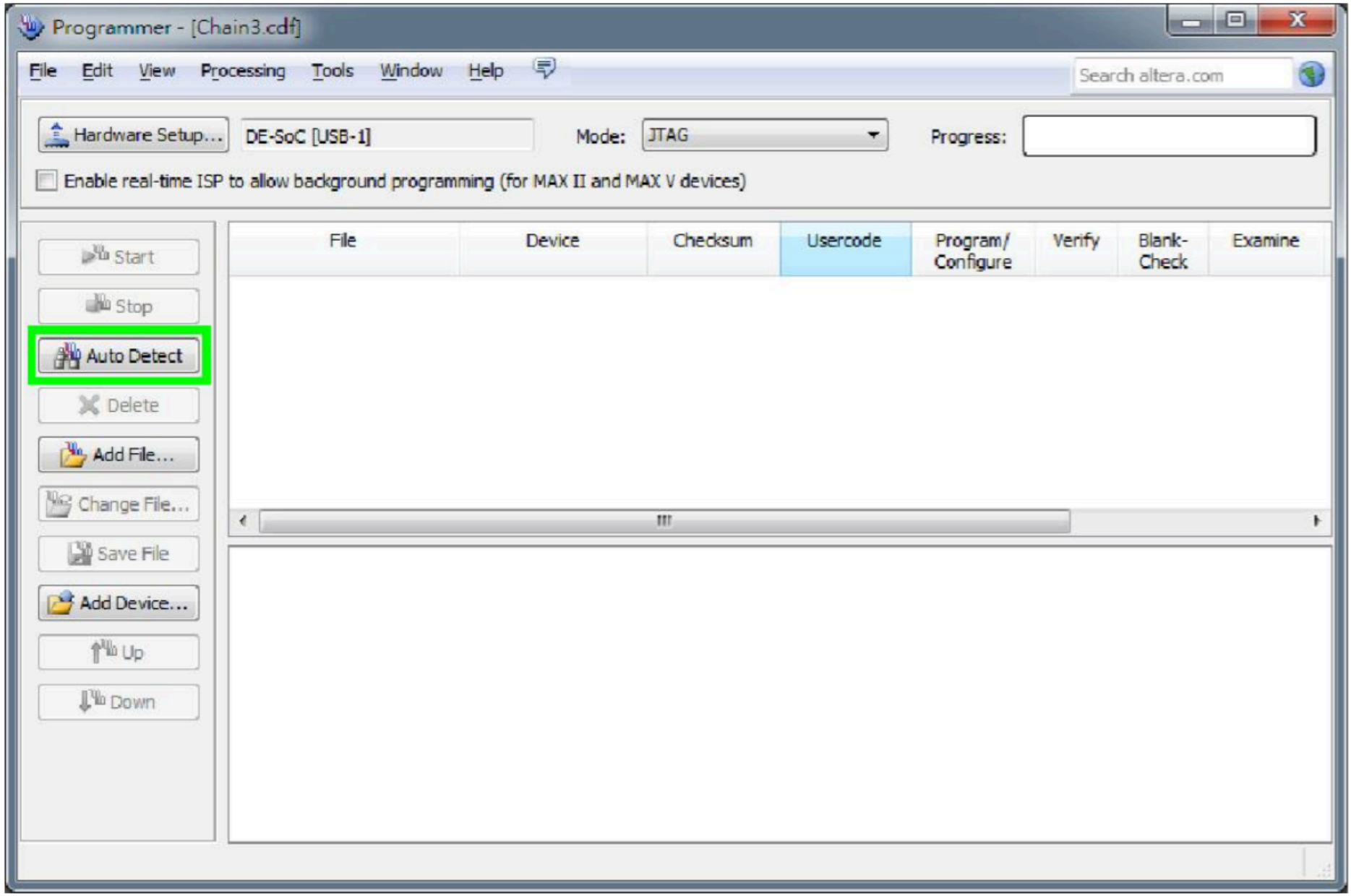


Node Name	Direction	Location	I/O Bank	VREF Group	Fitter Location	I/O Standard	Reserved	urrent S
A0	Input	PIN_AB12	3A	B3A_N0	PIN_AB27	2.5 V ...fault)		12mA ..
B0	Input	PIN_AC12	3A	B3A_N0	PIN_AE29	2.5 V ...fault)		12mA ..
C0	Output	PIN_V16	4A	B4A_N0	PIN_AA26	2.5 V ...fault)		12mA ..
S0	Output	PIN_W16	4A	B4A_N0	PIN_AD29	2.5 V ...fault)		12mA ..
<<new node>>								

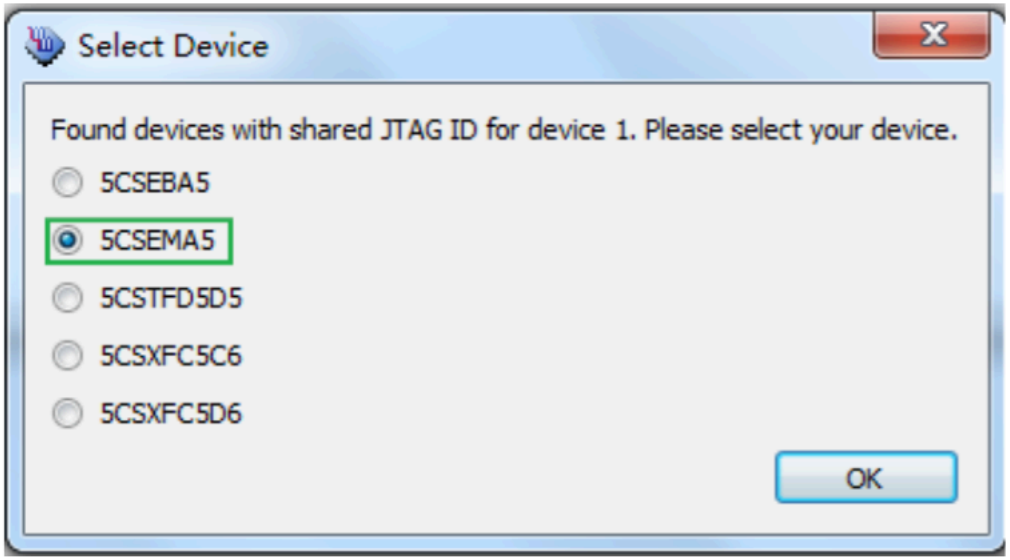
Download do arquivo de configuração para o FPGA



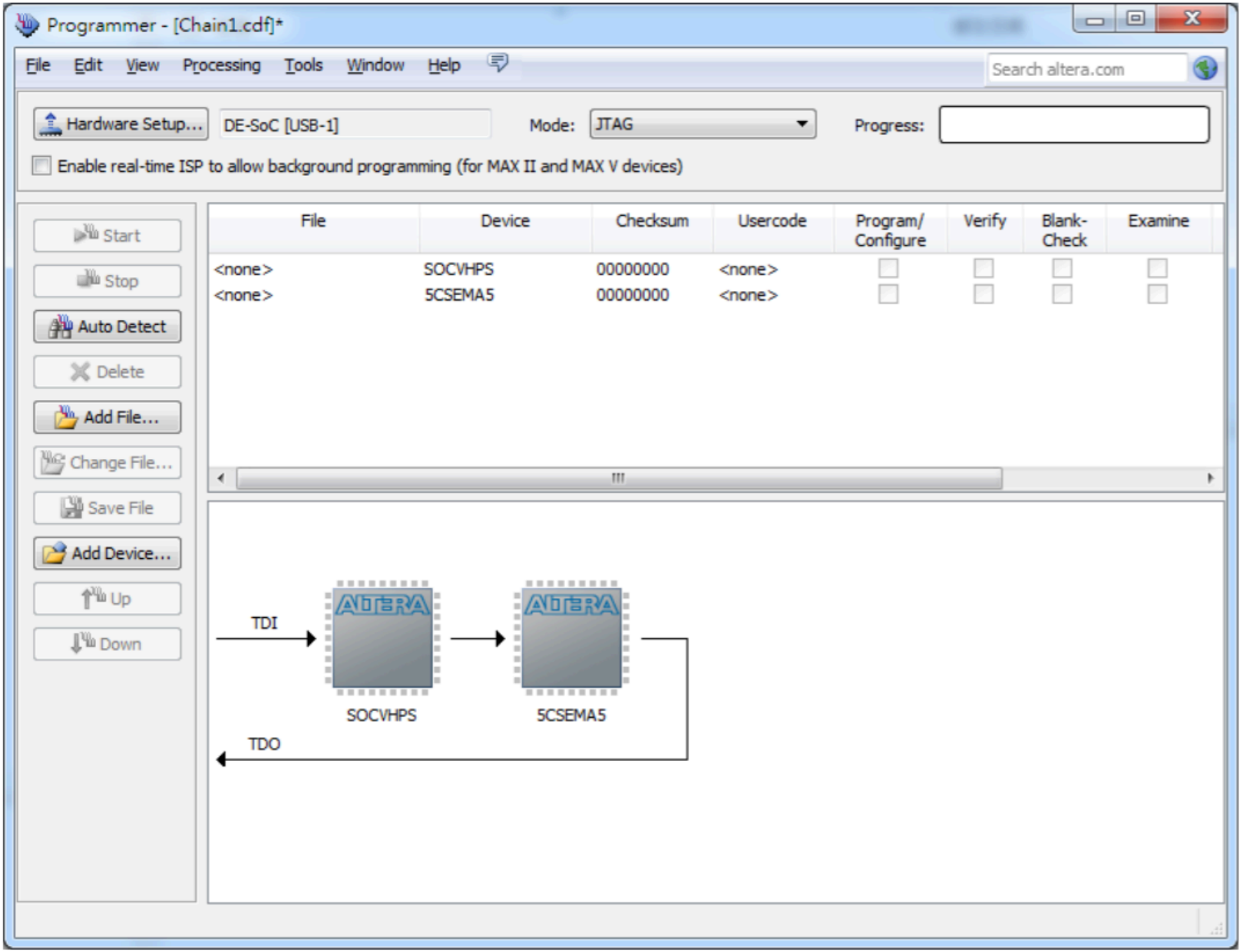
Download do arquivo de configuração para o FPGA



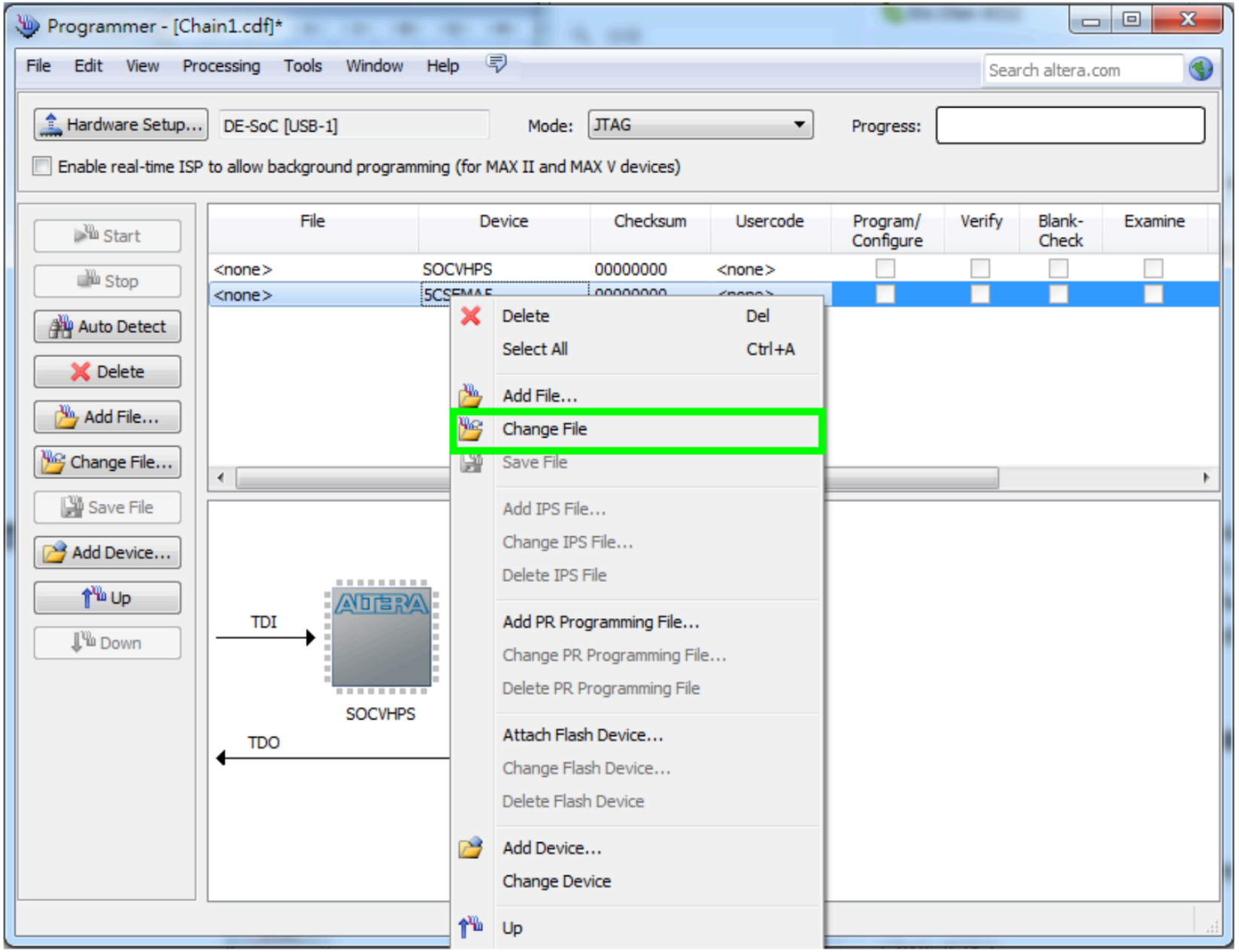
Download do arquivo de configuração para o FPGA



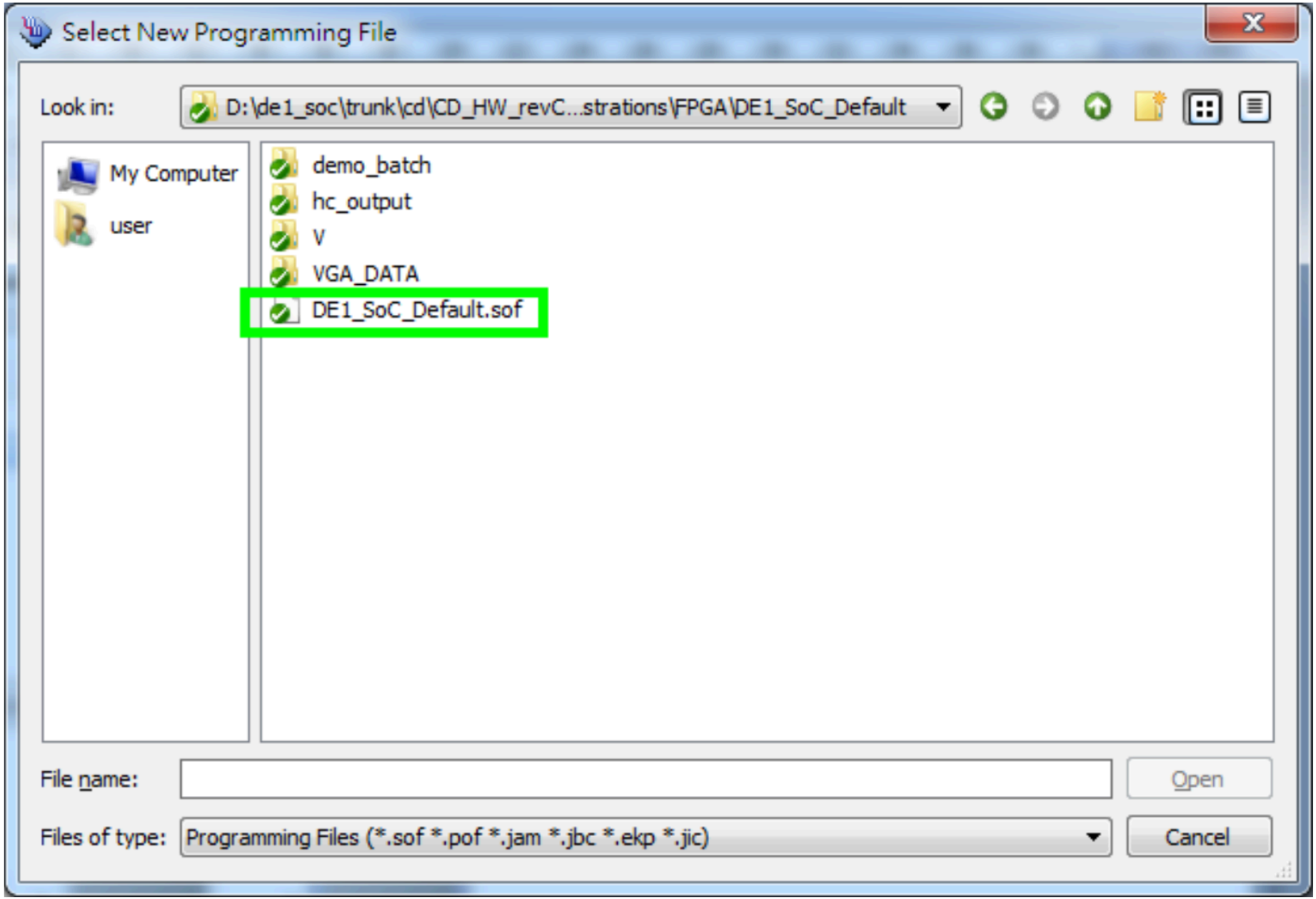
Download do arquivo de configuração para o FPGA



Download do arquivo de configuração para o FPGA



Download do arquivo de configuração para o FPGA



Download do arquivo de configuração para o FPGA